

日本国特許庁
JAPAN PATENT OFFICE

2

Jc720 U.S. PRO

10/022551



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2000年12月21日

出願番号
Application Number:

特願2000-389526

出願人
Applicant(s):

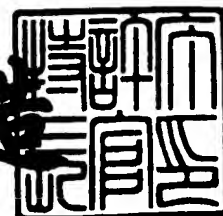
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3083255

【書類名】 特許願

【整理番号】 71110472

【提出日】 平成12年12月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/13
G06F 1/10
H03H 11/26

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 佐伯 貴範

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックアンドデータリカバリ回路とそのクロック制御方法

【特許請求の範囲】

【請求項 1】

入力データを共通に入力とする複数のラッチ回路を備え、前記複数のラッチ回路は、前記複数のラッチ回路にそれぞれ供給される互いに位相がずれているクロックの遷移エッジで前記入力データをサンプルして出力し、前記複数のラッチ回路の出力から前記入力データの遷移点のクロックに関する位相を検出して出力する位相検出回路と、前記位相検出回路の出力を平滑化するフィルタと、前記フィルタの出力に基づき前記クロックの位相を制御する回路と、を備え、入力データに基づき、クロック及びデータを復元（リカバ）するクロックアンドデータリカバリ回路において、

前記複数のラッチ回路にそれぞれ互いに位相がずれているクロックを供給する回路が、互いに位相の異なる複数のクロック（「多相クロック」という）を入力とし前記多相クロックの中からクロック対を複数組選択して出力するスイッチと

前記スイッチから出力される複数組のクロック対を入力とし該クロック対の位相差を内分した時間で遅延時間が規定される信号を出力する複数のインターポレータと、を備え、

前記各インターポレータは、入力するクロック対の論理値に応じて、容量の充電パスと放電パスをそれぞれオン及びオフさせる回路と、前記容量の端子電圧としきい値との大小関係が反転したときに出力論理値を可変させるバッファ回路と、を備え、さらに、前記容量の容量値が容量値決定用の制御信号によってオン及びオフされるスイッチ群により可変に設定される構成とされており、前記複数のインターポレータから出力される信号が、前記複数のラッチ回路のクロックとして供給され、

前記クロックの位相を制御する回路が、前記フィルタの出力をデコードするデコーダを備え、

前記デコーダからの出力信号に基づき、前記スイッチにおけるクロック対の選択の切替えが制御されるとともに、前記複数のインターポレータの内分比が可変に設定され、前記複数のラッチ回路にそれぞれ供給されるクロックの位相を進ませるか遅れらせる制御が行われる、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項 2】

前記複数のラッチ回路の出力のうちの全部又は一部を入力し、出力データとして出力するものを選択する選択回路をさらに備えたことを特徴とする請求項 1 に記載のクロックアンドデータリカバリ回路。

【請求項 3】

互いに位相の異なる複数のクロック（「多相クロック」という）を入力としそのうちから複数組のクロック対を選択して出力するスイッチと、

前記スイッチから出力される複数組のクロック対を入力とし該クロック対の位相差を内分した時間で遅延時間が規定される信号を出力する複数のインターポレータと、

複数の前記インターポレータからそれぞれ出力される信号に基づき入力データをラッチする複数のラッチ回路と、

前記複数のラッチ回路の出力論理値に基づき出力値を増加又は減少させる計数回路と、

前記計数回路の出力を所定の時間にわたって平均化するフィルタと、

前記フィルタの出力をデコードするデコーダと、

複数の前記ラッチ回路から出力されたデータと、複数の前記インターポレータのうち所定のインターポレータから出力されるクロックとの組を入力とし、出力するデータを選択して前記クロックとともに出力し、出力データとクロックの組の並列数を可変させる選択回路と、

を備え、

前記デコーダからの出力信号に基づき、前記スイッチにおけるクロック対の選択の切替えが制御されるとともに、前記複数のインターポレータの内分比が可変に設定される、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項 4】

前記計数回路が、前記ラッチ回路の出力の第 1、及び第 2 の論理値をアップ信号及びダウン信号として、アップ信号で容量を充電し、ダウン信号で前記容量を放電するチャージポンプ回路から構成されており、前記チャージポンプ回路の出力電圧が前記フィルタに入力される、ことを特徴とする請求項 3 に記載のクロックアンドデータリカバリ回路。

【請求項 5】

前記計数回路が、アップダウンカウンタで構成され、前記計数回路のデジタル出力が、デジタルフィルタ構成の前記フィルタに入力される、ことを特徴とする請求項 3 に記載のクロックアンドデータリカバリ回路。

【請求項 6】

互いに位相の異なる複数のクロック（「多相クロック」という）を入力し、与えられた切替信号に基づき、前記多相クロックから複数のクロック対を選択出力するスイッチと、

前記スイッチから出力されるクロック対をそれぞれ入力とし、前記クロック対の位相差を、与えられた制御信号で設定される内部比で内分した時間で遅延時間が規定される出力クロックを出力するインターポレータを複数備えてなる位相シフト回路と、

前記複数のインターポレータからそれぞれ出力されるクロックで入力データをそれぞれサンプルして出力する複数のフリップフロップと、

前記複数のフリップフロップの複数の出力を入力とし、前記各出力の論理値に応じてアップカウント又はダウンカウントするカウンタと、

前記カウンタのカウント出力の時間平均をとるフィルタと、

前記フィルタの出力をデコードするデコーダと、

を備え、

前記デコーダは、前記フィルタの出力のデコード結果に基づき、前記スイッチにおけるクロック対の組み合わせを切替える切替信号を出力するとともに、前記複数のインターポレータにおける内分比を可変させる制御信号を出力し、

前記複数のフリップフロップの出力の一部又は全てと、前記第 1 のインターポ

レータから出力されるクロックとの組を入力し、出力データとクロックの組の並列数を選択自在とする選択回路と、

を備えている、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項 7】

前記複数のフリップフロップの出力をカウントするカウンタを、前記複数のフリップフロップ回路の各出力の第 1、及び第 2 の論理値をアップ信号及びダウン信号として、アップ信号で容量を充電し、ダウン信号で容量の電荷を放電するチャージポンプ回路で構成し、前記チャージポンプ回路の出力が前記フィルタに入力される、ことを特徴とする請求項 6 に記載のクロックアンドデータリカバリ回路。

【請求項 8】

前記インターポレータが、入力するクロック対の値に基づき、容量の充電パスと放電パスをそれぞれオン及びオフさせる回路と、前記容量の端子電圧としきい値との大小関係が反転したときに出力論理値を可変させるバッファ回路と、を備え、前記容量の容量値が、容量値決定用の制御信号によってオン及びオフされるスイッチ群により可変に設定される構成とされている、ことを特徴とする請求項 6 に記載のクロックアンドデータリカバリ回路。

【請求項 9】

前記各インターポレータが、第 1 の入力端と第 2 の入力端からの第 1、第 2 の入力信号を入力とする論理回路と、

第 1 の電源と内部ノード間に挿入され前記論理回路の出力が第 1 の論理値のときにオンするスイッチと、

前記内部ノードが入力端に接続され、前記内部ノード電位としきい値との大小関係が反転した場合に出力論理値を反転させるバッファ回路と、

を備え、

前記内部ノードに一端が接続され、制御端子に前記第 1 の入力端からの第 1 の入力信号が供給される、互い並列に接続された N 個の第 2 のスイッチと、

前記内部ノードに一端が接続され、制御端子に前記第 2 の入力端からの第 2 の入力信号が供給される、互い並列に接続された N 個の第 3 のスイッチと、

前記第 2 のスイッチの他端と第 2 の電源間に互い並列に挿入され、制御端子に、前記デコーダからの制御信号が接続され、オン及びオフされる N 個の第 4 のスイッチと、

前記第 3 のスイッチの他端と前記第 2 の電源間に互い並列に挿入され、制御端子に、前記デコーダからの制御信号が接続され、オン及びオフされる N 個の第 5 のスイッチと、を備え、

前記内部ノードと前記第 2 の電源間に挿入され、第 6 のスイッチと容量とからなる直列回路を複数本並列に備え、

前記第 6 のスイッチの制御端子に入力される容量値決定用の制御信号により、前記第 6 のスイッチがオン及びオフされ、前記内部ノードに付加される容量の値が可変に制御される、ことを特徴とする請求項 1 乃至 6 のいずれかに記載のクロックアンドデータリカバリ回路。

【請求項 1 0】

前記デコーダが、前記カウンタの出力を前記フィルタで時間平均した値に基づき、前記インターポレータの内分比の設定を行い、

前記インターポレータの内分比の設定上限値又は下限値に達し、なおも前記インターポレータの出力信号の位相をさらに遅らせるか、またはさらに進ませる調整を行う必要がある場合、前記インターポレータに供給するクロックを選択出力する前記スイッチに対して、クロック対の組み合わせの切替を行う切替信号を出力する、ことを特徴とする請求項 1 乃至 6 のいずれかに記載のクロックアンドデータリカバリ回路。

【請求項 1 1】

前記多相クロックが、位相同期ループ（PLL）の電圧制御発振器から供給されることを特徴とする請求項 1 乃至 6 のいずれかに記載のクロックアンドデータリカバリ回路。

【請求項 1 2】

前記多相クロックが、多相クロック発生回路から供給され、前記多相クロック発生回路が、入力クロックを分周して互いに位相の異なる複数相のクロックを生成出力する分周回路と、

前記入力クロックの周期を検知する周期検知回路と、

前記分周回路から出力される複相 (n 相) のクロックを入力とし、前記クロックを通倍したクロックを生成する 1 つ又は複数段縦続接続された多相クロック通倍回路と、を備え、

前記多相クロック通倍回路が、 n 相のクロック (第 1 乃至第 n クロック) を入力し、

二つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路を備え、

奇数番目 ($2I - 1$ 番目、ただし、 $1 \leq I \leq n$) のタイミング差分割回路は、前記二つの入力として n 相のクロックのうち I 番目の同一クロックを入力とし、

偶数番目 ($2I$ 番目、ただし、 $1 \leq I \leq n$) のタイミング差分割回路は、 n 相のクロックのうち I 番目のクロックと $I + 1$ 番目のクロック (ただし、 $n + 1$ 番目は、1 番目に巡回する) のクロックを入力とし、

$2n$ 個のパルス幅補正回路を備え、

J 番目 (ただし、 $1 \leq J \leq 2n$) のパルス幅補正回路は、 J 番目のタイミング差分割回路の出力を第 1 の入力とし、 $((J + 2) \bmod n)$ 番目 (ただし、 $(J + 2) \bmod n$ は、 $(J + 2)$ を n で割った余り) のタイミング差分割回路の出力を第 2 の入力とし、前記第 1 の入力と前記第 2 の入力の反転信号の否定論理積を出力し、

n 個の多重化回路を備え、 K 番目 (ただし、 $1 \leq K \leq n$) の多重化回路は、 K 番目のパルス幅補正回路の出力と $(K + n)$ 番目のパルス幅補正回路の出力とを入力とし、これらの否定論理積を出力する、ことを特徴とする請求項 1 乃至 6 のいずれか一に記載のクロックアンドデータリカバリ回路。

【請求項 13】

前記タイミング差分割回路が、第 1、第 2 の入力端から入力される信号を入力とし、前記第 1 及び第 2 の入力信号の所定の論理演算結果を出力する論理回路と

第 1 の電源と内部ノード間に接続され、前記論理回路の出力信号を制御端子に入力とする第 1 のスイッチ素子と、

前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に出力論理値を反転させる、バッファ回路と、

前記内部ノードと第2の電源との間に接続され、前記第1の入力端からの信号の値に基づきオン・オフ制御される第2のスイッチ素子と、

前記内部ノードと第2の電源との間に接続され、前記第2の入力端からの信号に基づきオン・オフ制御される第3のスイッチ素子と、を備え、

前記内部ノードと前記第2の電源間に、第4のスイッチ素子と容量よりなる直列回路が、複数本互いに並列接続され、前記第4のスイッチ素子の制御端子に供給される周期制御信号の値によって前記第4のスイッチ素子がオン及びオフ制御され、前記内部ノードに付加する容量の容量値が決められる、ことを特徴とする請求項12に記載のクロックアンドデータリカバリ回路。

【請求項14】

入力データを共通に入力とする複数のラッチ回路を備え、前記複数のラッチ回路は、前記複数のラッチ回路にそれぞれ供給される互いに位相がずれているクロックの遷移エッジで前記入力データをサンプルして出力し、前記複数のラッチ回路の出力から前記入力データの遷移点のクロックに関する位相を検出して出力する位相検出回路と、前記位相検出回路の出力を平滑化するフィルタと、前記フィルタの出力に基づき前記クロックの位相を制御する回路と、を備え、前記入力データからクロックとデータを復元するクロックアンドデータリカバリ回路のクロック制御方法において、

互いに位相の異なる複数のクロック（「多相クロック」という）を入力とするスイッチにて、前記多相クロックの中からクロック対を複数組選択して出力し、

前記スイッチから出力される複数組のクロック対をそれぞれ入力とする複数のインターポレータで、前記クロック対の位相差を内分した時間で遅延時間が規定される信号を出力し、

前記フィルタの出力をデコードするデコーダからの出力信号に基づき、前記スイッチにおけるクロック対の選択の切替えが制御されるとともに、前記インターポレータの内分比が可変に設定されることで、前記複数のラッチ回路にそれぞれ供給されるクロックの位相が可変され、

入力するクロック対の論理値に応じて、容量の充電パスと放電パスをそれぞれオン及びオフさせる回路と、前記容量の端子電圧としきい値との大小関係が反転したときに出力論理値を可変させるバッファ回路とを有する前記各インターポレータの前記容量の容量値を、容量値決定用の制御信号によってオン及びオフされるスイッチ群により可変させることで、対応可能な周波数範囲を広げる、ことを特徴とするクロックアンドデータリカバリ回路のクロック制御方法。

【請求項 1 5】

前記複数のラッチ回路の出力により互いに位相がずれているクロックの遷移エッジで前記入力データをサンプルした出力の全部又は一部の中から出力データとして出力するものを選択自在とした、ことを特徴とする請求項 1 4 に記載のクロックアンドデータリカバリ回路のクロック制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、クロックアンドデータリカバリ回路及び方法に関する。

【0 0 0 2】

【従来の技術】

図 1 3 は、従来のクロックアンドデータリカバリ回路の構成を示す図である。基準クロック (Ref CLK) から PLL (Phase Locked Loop; 位相同期ループ) の電圧制御発振器 (Voltage Controlled Oscillator; VCO) 5 1 で互いに等間隔の位相差の多相クロック (Multiphase Output) を生成する。VCO 5 1 は、アナログ構成のリングオシレータ (反転回路を奇数段リング状に接続して発振器を構成する) よりなり、該リングオシレータを構成する各段の差動反転回路の出力から、等間隔の位相差の多相クロックが差動で取り出される。複数のフリップフロップ 5 2 ($F/F1 \sim F/F8$) は、入力データ DATA をデータ端子に共通に入力し、VCO 5 1 から出力される多相クロックの各クロックをそれぞれクロック端子に入力し、データ DATA をクロック信号の立ち上がり又は立ち下がりエッジでサンプルして出力し、複数のフリップフロップ 5 2 ($F/F1 \sim F/F8$) からそれぞれ出力される出力データを入力し、出力データが論理値を

アップ、ダウンとしてカウントするカウンタ 5 3 と、カウンタ 5 3 の出力を所定の時定数にわたって時間平均するフィルタ 5 5 を備え、フィルタ 5 5 の出力電圧を電圧制御発振器 (VCO) の制御電圧として供給し、フリップフロップ 5 2 の出力のうちの一部又はすべてと、VCO 5 1 から出力される 1 相のクロックとが、データとクロックとして出力される。複数のフリップフロップ 5 2 (F/F 1 ~ F/F 8) の出力は、データ DATA を、少しずつ位相のずれたクロックでサンプルしたものであり、データ DATA を、基準クロックの周波数の 8 倍の周波数でサンプルしたサンプリング波形が得られ、出力値が隣りのフリップフロップの出力値と不一致となるフリップフロップのクロックのタイミングが、データ DATA の遷移点となる。

【0003】

データの遷移点に対してクロックが遅れている場合 (ラッチタイミングが遅れる場合)、カウンタ 5 3 の値をアップさせて、クロックの位相を進め、データの遷移点に対してクロックが進んでいる場合 (ラッチタイミングが進んでいる場合)、カウンタ 5 3 の値をダウンさせてクロックの位相を遅らせる制御が行われる。なお、カウンタ 5 3 は、複数のフリップフロップ F/F 1 ~ F/F 8 のそれぞれの出力値が論理 0 のとき、容量を定電流で充電し、論理 1 のとき容量を定電流で放電させるチャージポンプ (CP) で構成してもよい。

【0004】

図 1 3 に示したクロックアンドデータリカバリ回路の例としては、例えば文献 1 (ISSCC 1997 p.p 238-239 Alan Fiedler, "A 1.0625GHz Transceiver with 2x-Oversampling and Transmit Signal Preemphasis") が参照される。上記文献 1 に記載されるクロックアンドデータリカバリ回路は、シリアル入力データからクロックとデータをリカバリしパラレルデータとして出力するレシーバ回路を備え、PLL (Phase Locked Loop; 位相同期ループ) の VCO (電圧制御発振器) は 10 遅延段 (10-delay-stage) のリングオシレータを有し、VCO の 20 のクロック位相は 2 x オーバサンプリングクロックをクロックとデータのリカバリするレシーバ回路に与えており、レシーバ回路では、VCO を入力データにロックさせ、NRZ (Non Return to Zero) 波形のデータの遷移

からクロックをリカバしている。なお、上記文献 1 に記載されるクロックアンドデータリカバリ回路において、データ位相検出器 (data phase detector) は、複数配置された高速ラッチと、高速ラッチ回路の一致／不一致を検出する排他的論理ゲートよりなり、データビットをサンプルするラッチは、VCO の正相クロックでクロッキングされ、データビット間のバウンダリ (境界; boundary) をサンプルするラッチは、VCO の逆相クロックでクロッキングされる構成とされている。

【 0 0 0 5 】

図 1 4 は、文献 2 (ISSCC 1997 p.p 332-333 S. Sidiropoulos and Mark Horowitz et al., "A semi-digital delay locked loop with unlimited phase shift capability and 0.08-400MHz operating range") に記載されている DLL (遅延同期ループ) とインターポレータとの組み合わせからなるクロック制御回路の構成の一例を示す図である。図 1 4 を参照すると、DLL 回路 6 0 において、入力クロックに同期した多相クロック信号 P 1 ~ P n を出力し、多相クロック信号 P 1 ~ P n はスイッチ 2 0 に入力され、スイッチ 2 0 で選択された隣り合う二つの信号がインターポレータ (位相インターポレータ) 3 0 に入力され、インターポレータ 3 0 で二つの信号の位相を内分した信号が出力 OUT から出力される。制御回路 4 0 は、出力 OUT と基準クロックとの位相差検出結果に基づき、インターポレータ 3 0 の内分比を可変制御するとともにスイッチ 2 0 の切り替えを制御する。

【 0 0 0 6 】

図 1 4 のインターポレータ 3 0 (位相インターポレータ) は、図 1 5 に示すようなアナログ回路で構成されている。図 1 5 を参照すると、この位相インターポレータは、ソースが共通接続されて第 1 の定電流源 C S 1 に接続され、ゲートにクロック I N 1、I N 1 B を差動で受け、出力対がそれぞれ第 1 の負荷の一端 (並列接続された P チャネル MOS トランジスタ M P 6 1、M P 6 2 の共通ドレイン) と第 2 の負荷の一端 (並列接続された P チャネル MOS トランジスタ M P 6 1、M P 6 2 の共通ドレイン) に接続され第 1 の差動対をなす N チャネル MOS トランジスタ M N 6 1、M N 6 2 と、ソースが共通接続されて第 2 の定電流源 C

S 2 に接続され、ゲートにクロック I N 2、I N 2 B を差動で受け出力対がそれぞれ第 1 の負荷の一端（並列接続された P チャンネル MOS トランジスタ M P 6 1、M P 6 2 の共通ドレイン）と第 2 の負荷の一端（並列接続された P チャンネル MOS トランジスタ M P 6 1、M P 6 2 の共通ドレイン）に接続され第 2 の差動対をなす N チャンネル MOS トランジスタ M N 6 3、M N 6 4 と、を備え、第 1、第 2 の差動対の共通接続された出力対から、二つの入力クロックの重み付き和の位相の出力 O U T、O U T B を出力する。この位相インターポレータにおいて、デジタル重みコード $i c t 1$ を（16 ビット $b [0] \sim b [15]$ ）が第 1、第 2 の定電流源 C S 1、C S 2 に供給されており、第 1、第 2 の定電流源 C S 1、C S 2 の電流値を可変させ（16 ビット $b [0] \sim b [15]$ をゲート端子に入力する N チャンネル MOS トランジスタ M N 6 A₁ ~ M N 6 A₁₅ のオン、オフで定電流源トランジスタ M N 6 B₁ ~ M N 6 B₁₅ の個数が選択され電流値が可変される）、出力クロックの位相に変換している。

【 0 0 0 7 】

また文献 3（ISSCC1999 p.p 180-181 "A2BParallel 1.25Gb/s Interconnect I/O interface with Self Configurable Link and Plesiochronous Clocking"）には、位相インターポレータとして、図 1 6 に示すような構成が開示されている。図 1 6 を参照すると、制御信号 $i c t 1$ に応じた出力電流を出力する電流出力型のデジタルアナログ変換器（DAC）と、DAC の出力電流を第 1 のカレントミラー回路（M N 7 4、M N 7 5）で折り返し、折り返した電流を第 2 のカレントミラー回路（M P 7 3、M P 7 4）で受け、その出力ミラー電流を、差動クロック入力 I N、I N B を入力とする差動対回路に対して供給し、第 1 のカレントミラー回路（M N 7 4、M N 7 5）の第 2 の出力端をなす定電流源トランジスタ M N 7 3 から差動対回路に電流を供給し、差動対回路の出力からはクロック I N を位相シフトしたクロック O U T、O U T B が出力される。なお、差動対回路において、共通接続されたソースが定電流源トランジスタ M P 7 3 に接続され、ゲートに差動クロック対 I N、I N B が入力される N チャンネル MOS トランジスタ M N 7 1、M N 7 2 と、ソースが共通接続されて第 2 のカレントミラー回路の出力トランジスタ M P 7 4 のドレインに接続され、ゲートに差動クロッ

ク対IN、INBを入力とし、ドレインがそれぞれNチャネルMOSトランジスタMN71、MN72のドレインに接続されたPチャネルMOSトランジスタMP71、MP72を有し、NチャネルMOSトランジスタMN71、MN72のドレインから出力OUT、OUTBが取り出される。NチャネルMOSトランジスタMN71、MN72のドレインとグランド間にはそれぞれ容量C1、C2が接続されており、またNチャネルMOSトランジスタMN71、MN72のドレイン間には、NチャネルMOSトランジスタMN76、MN77が直列に接続され、NチャネルMOSトランジスタMN76、MN77がオンのとき、出力OUT、OUTBは中間電位VDDに充電される。

【0008】

図16において、クロックINがHighレベルに遷移すると、NチャネルMOSトランジスタMN71がオンし、NチャネルMOSトランジスタMN72がオフし、PチャネルMOSトランジスタMP71がオフし、PチャネルMOSトランジスタMP72がオンし、容量C1は放電され、容量C2は充電され、出力OUTはLowレベル、出力OUTBはHighレベルに遷移し、クロックINがLowレベルに遷移すると、MOSトランジスタMN71がオフし、NチャネルMOSトランジスタMN72がオンし、PチャネルMOSトランジスタMP72がオフし、PチャネルMOSトランジスタMP71がオンし、容量C1は充電され、容量C2は放電され、出力OUTはHighレベル、出力OUTBはLowレベルに遷移し、デジタルアナログ変換器(DAC)に供給する制御信号Ict1によってクロックの帯域が可変制御される。

【0009】

以上、図13、図15を参照して説明したように、上記従来の回路においては、多相クロックをVCO回路で生成しており、またインターポレータとしては、アナログ回路よりなる位相インターポレータが用いられている。

【0010】

また図16に示したように、アナログ位相インターポレータの帯域制御を電流源に流す電流で制御しており、複数の周波数帯に対応するには、定電流源の出力電流範囲を広げる等の対策を施すことが必要とされている。この場合、位相イン

ターポレータのリニアリティを補償して、定電流源の出力電流範囲を広げること
は、必ずしも容易とはいえない。

【0011】

【発明が解決しようとする課題】

したがって、本発明が解決しようとする課題は、周波数範囲の変更を容易化し、
特性の調整を容易化するクロックアンドデータリカバリ回路及び方法を提供す
ることにある。本発明の他の課題は、データ及びクロックの並列数を可変自在と
するクロックアンドデータリカバリ回路及び方法を提供することにある。

【0012】

【課題を解決するための手段】

上記課題を解決するための手段を提供する本発明は、入力データを共通に入力
とする複数のラッチ回路を備え、前記複数のラッチ回路は、前記複数のラッチ回
路にそれぞれ供給される互いに位相がずれているクロックの遷移エッジで前記入
力データをサンプルして出力し、前記複数のラッチ回路の出力から前記入力デー
タの遷移点のクロックに関する位相を検出して出力する位相検出回路と、前記位
相検出回路の出力を平滑化するフィルタと、前記フィルタの出力に基づき前記ク
ロックの位相を制御する回路と、を備え、前記入力データからクロックとデータ
を復元するクロックアンドデータリカバリ回路において、前記複数のラッチ回路
にそれぞれ互いに位相がずれているクロックを供給する回路が、互いに位相の異
なる複数のクロック（「多相クロック」という）を入力とし前記多相クロックの
中からクロック対を複数組選択して出力するスイッチと、前記スイッチから出力
される複数組のクロック対を入力とし該クロック対の位相差を内分した時間で遅
延時間が規定される信号を出力する複数のインターポレータと、を備え、前記各
インターポレータは、入力するクロック対の論理値に応じて、容量の充電パスと
放電パスをそれぞれオン及びオフさせる回路と、前記容量の端子電圧としきい値
との大小関係が反転したときに出力論理値を可変させるバッファ回路と、を備え
、さらに、前記容量の容量値が制御信号によってオン及びオフされるスイッチ群
により可変に設定される構成とされており、前記複数のインターポレータから出
力される信号が、前記複数のラッチ回路のクロックとして供給され、前記クロッ

クの位相を制御する回路が、前記フィルタの出力をデコードするデコーダを備え、前記デコーダの出力信号に基づき、前記スイッチにおけるクロック対の選択の切替えが制御されるとともに、前記インターポレータの内分比が可変に設定されることで、前記複数のラッチ回路に供給されるクロックの位相が可変される。以下の説明からも明らかとされるように、上記課題は本願特許請求の範囲の各請求項の発明によっても同様にして解決される。

【 0 0 1 3 】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明のクロックアンドデータリカバリ (clock and data recovery) 回路は、その好ましい一実施の形態において、図 1 及び図 2 を参照すると、互いに位相の異なる複数のクロックを入力し、複数のクロックから複数組のクロック対を選択出力するスイッチ 1 1 0 と、スイッチ 1 1 0 から出力されるクロック対をそれぞれ入力とし該クロック対の位相差を所定の内部比で内分した時間で遅延時間が規定される出力クロックを出力するインターポレータ 1 1 1 (INT 1 ~ INT 8) を複数備えてなる位相シフト回路 1 0 1 と、複数のインターポレータから出力されるクロック (CLK 1 ~ CLK 8) の立ち上がり又は立ち下がりエッジで入力データをサンプルする複数のラッチ回路 1 0 2 (F / F 1 ~ F / F 8) と、複数のラッチ回路 1 0 2 (F / F 1 ~ F / F 8) の出力がアップを示すかダウンを示すかでカウント値をアップ・ダウンするカウンタ 1 0 3 と、カウンタ 1 0 3 の出力を時間平均するフィルタ 1 0 5 と、フィルタ 1 0 5 の出力をデコードするデコーダ 1 0 6 と、を備えている。各部の構成と動作の概略を以下に説明する。

【 0 0 1 4 】

インターポレータ 1 1 1 (INT 1 ~ INT 8) は、入力するクロック対の値に基づき、容量の充電パスと放電パスをそれぞれオン及びオフさせる回路 (図 4 の遅延が可変される CMOS 型のインバータ INV 1 と INV 2) と、前記容量の端子電圧としきい値との大小関係が反転したときに出力論理値を可変させるバッファ回路 (図 4 の INV 3) を備え、出力信号の位相が可変に設定され、さらに、容量の容量値が、容量値決定用の制御信号 (図 4 の C n t [0:7]) によって

、オン及びオフ制御されるスイッチ群（図4のMNA1～MNA8）により可変に設定される構成とされており、広い周波数範囲に対応可能としている。

【0015】

カウンタ103は、複数のラッチ回路（ $F/F1 \sim F/F8$ ）102の出力に基づき、充電パスをオンして容量を充電し、又は放電パスをオンして容量の電荷を放電する（結果として蓄積電荷の加算又は減算を行う）チャージポンプで構成してもよいし、あるいは、アップ・ダウンカウンタ、加算器等のデジタル回路で構成してもよい。フィルタ105は、アナログ回路の低域通過フィルタ、もしくはデジタルフィルタ（平均化フィルタ）よりなる。

【0016】

デコーダ106から出力される切替信号Uに基づき、スイッチ110のクロック対の組み合わせが切り換えられ、デコーダ106から出力される制御信号Sに基づき、複数のインターポレータ111の内分比が可変に設定され、複数のインターポレータ111から出力されるクロックの位相が可変に制御される。

【0017】

本発明の一実施の形態においては、複数のラッチ回路102（フリップフロップ $F/F1 \sim F/F8$ ）から出力される出力データと、位相シフト回路101から出力されるクロック（例えば1相クロック）との組が、セレクタ（選択回路）104に入力され、任意の組が選択出力され、データ及びクロック出力の並列数が可変自在とされている。

【0018】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について以下に説明する。図1（a）は、本発明の一実施例の構成を示す図である。図1（a）を参照すると、本発明のクロックアンドデータリカバリ回路の一実施例は、8相クロックを入力し、位相をシフトさせた8組のクロックを出力する位相シフト回路101と、位相シフト回路101から出力されるクロックをクロック入力端に入力し、入力データDATAをデータ入力端に入力し、入力データDATAを、クロックの立ち上がりエッジでサンプルする複数のD型フリッ

フリップフロップ 102 (F/F1~F/F8) と、複数の D 型フリップフロップ 102 の出力が論理 0 のときアップ信号とし、論理 1 のときダウン信号としてカウンタ値をアップ/ダウンさせるカウンタ 103 と、カウンタ 103 の出力を時間平均するフィルタ 105 と、フィルタ 105 の出力をデコードするデコーダ 106 と、位相シフト回路 101 から出力される 1 相クロックと複数の D 型フリップフロップ 102 (F/F1~F/F8) の出力データとの各組を入力し、選択制御信号に基づき、選択された組 (1 相クロックとサンプルされた出力データ) を並列出力するセクタ (選択回路) 104 と、を備えている。なお、図 1 (a) において、セクタ 104 には、複数の D 型フリップフロップ 102 (F/F1~F/F8) のうち、F/F1、F/F3、F/F5、F/F7 の出力が入力されているが、F/F1~F/F8 すべての出力を入力する構成としてもよい。

【0019】

複数の D 型フリップフロップ 102 (F/F1~F/F8) は、位相シフト回路 101 から出力されるクロック CLK1~CLK8 の、立ち上がりエッジ (又は立ち下がりエッジ) で入力データ DATA をサンプル出力する (図 1 (b) 参照)。複数の D 型フリップフロップ 102 (F/F1~F/F8) の出力 (例えば “00001111”) からは、クロック周期の 1/8 のサンプリング周期で入力データをサンプリングした波形データが得られ、隣り合う D 型フリップフロップ 102 の出力値の変化点で入力データが遷移している。カウンタ 103 は、複数の D 型フリップフロップ 102 の出力をカウントし、カウント値をフィルタ 105 により所定の時定数で平滑化した信号により、複数の D 型フリップフロップ 102 に供給されるクロックの位相を進ませるか遅らせるかの制御が行われ、入力データ DATA にロックしたクロックとデータが出力される。

【0020】

図 2 は、本発明の一実施例の位相シフト回路 101 の構成を示す図である。図 2 を参照すると、位相シフト回路 101 は、8 相クロック (8 phase CLK) を入力とするスイッチ 110 と、スイッチ 110 から出力されるクロック対を入力する 8 個のインターポレータ 111 (INT1~INT8) を備えている。スイッチ 110 は、例えばロータリスイッチとして構成され、デコーダ回路からの出

力に基づき、出力クロック対の組み合わせを切り換える。

【0021】

図3は、図2に示したスイッチ110（ロータリスイッチ）とインターポレータ111の構成の一例を示す図である。図3を参照すると、このロータリスイッチは、8相のクロックP0～P7のうちの奇位相クロック（P0、P2、P4、P6）を入力して各インターポレータ111に選択出力する第1のスイッチ110-1と、多相クロックP0～Pnのうちの偶位相クロック（P1、P3、P5、P7）を入力して各インターポレータ111に選択出力する第2のスイッチ110-2と、を備えている。初期状態（デコーダ106による切替制御が行われていない状態）において、例えばインターポレータ111₁～111₈には、第1のスイッチ110-1及び第2のスイッチ110-2より出力される、クロック対（P0、P1）、（P1、P2）、（P2、P3）、（P3、P4）、（P4、P5）、（P5、P6）、（P6、P7）、（P7、P0）がそれぞれ入力される。

【0022】

デコーダ106は、各インターポレータ111₁～111₈に制御信号S、SBを出力するとともに、インターポレータ111₁～111₈の位相差の内分比（内分比とは、後述する図4の $w : 1 - w$ ）が上限又は下限に達した場合において、さらに位相を進めるか遅らせる必要がある場合には、当該インターポレータ111₁～111₈に供給するクロック対の組み合わせを切替えるための切替信号Uをスイッチ110-1、110-2に出力する。例えばインターポレータ111₁～111₈にクロック対の組み合わせ（P0、P1）、（P1、P2）、（P2、P3）、（P3、P4）、（P5、P6）、（P6、P7）、（P7、P0）が供給されている場合、クロック対の組み合わせを切替えてクロックの位相を遅らせる場合、インターポレータ111₁～111₈に、（P1、P2）、（P2、P3）、（P3、P4）、（P5、P6）、（P6、P7）、（P7、P0）、（P0、P1）を供給するように切替える。スイッチ110は、クロック対の組み合わせを回転（rotate）するため「ロータリスイッチ」という。

【0023】

図4は、図2に示したインターポレータ111の構成を示す図である。図5は、図4のインターポレータの動作を示す図である。図4及び図5を参照すると、このインターポレータは、第1の入力IN1と、第2の入力IN2の位相差がTの場合、二つの入力にIN1を入力した遅延時間の出力信号とOUT1と二つの入力にIN2を入力した遅延時間の出力信号とOUT2の間を $w : 1 - w$ で内分した時間で規定される遅延時間の出力OUTが出力される。インターポレータは、入力IN1、入力IN2を受け、遅延時間が可変されるCMOS型のインバータINV1、INV2と、インバータINV1、INV2の出力の共通接続点（ノードN1）を入力するインバータ3と、ノードN1とグランド間に直列に接続される、NチャネルMOSトランジスタ（MNA1～MNA8）と容量（C0～C7）とを備え、NチャネルMOSトランジスタ（MNA1～MNA8）のゲートに入力される制御信号Cnt[0:7]により、NチャネルMOSトランジスタ（MNA1～MNA8）がオン、オフされ、ノードN1に付加される容量値が決定される。なお、容量C0～C7の容量値は、C0を基準に、例えば2倍、4倍、8倍、16倍と2のべき乗等に設定してもよい。この場合、NチャネルMOSトランジスタ（MNA1～MNA8）のW/L比（ゲート幅）も、対応する容量の容量値に応じたサイズとされる。

【0024】

制御信号Cnt[0:7]は、クロック信号の周波数を検知する周波数検知回路からの出力で設定してもよいし、あるいは、アプリケーションに応じて、レジスタ、ディップスイッチ等を所望の値に設定することで、制御信号Cnt[0:7]を決定してもよい。制御信号Cnt[0:7]により、ノードN1に付加される容量値を可変させることで、対応可能な周波数範囲を拡大することができる。

【0025】

図6は、図2に示したインターポレータ111のトランジスタレベルでの具体的構成の一例を示す図である。図6を参照すると、このインターポレータは、電源VDDと内部ノードN51間に接続され、入力IN1とIN2を入力とする論理和回路OR51からの出力信号がLowのとき、オンされるPチャネルMOSトランジスタMP51を備え、内部ノードN51とグランド間には、Nチャネル

MOSトランジスタと容量の直列回路が複数本並列に接続されており（MN 5 1とC 1、…、MN 5 8とC 8）、内部ノードN 5 1が入力端に接続され、出力端から出力信号OUTが取り出されるインバータINV 5 1と、を備えている。NチャネルMOSトランジスタMN 5 1～MN 5 8のゲートに接続される制御信号Cnt [0:7]は、クロック信号の周波数を検知する周波数検知回路（図示されない）からの出力で設定してもよいし、あるいは、アプリケーションに応じて、レジスタ、ディップスイッチ等を所望の値に設定することで、制御信号Cnt [0:7]を決定してもよい。制御信号Cnt [0:7]により、ノードN 5 1に付加される容量値を可変させることで、対応可能な周波数範囲を拡大することができる。

【0026】

内部ノードN 5 1にドレインが接続され、互い並列に接続された2N個のNチャネルMOSトランジスタMN 1 1～MN 1 N、MN 2 1～MN 2 Nと、2N個のNチャネルMOSトランジスタMN 1 1～MN 1 N、MN 2 1～MN 2 Nのソースにドレインがそれぞれ接続され、ソースがグランドに接続された2N個のNチャネルMOSトランジスタMN 3 1～MN 3 N、MN 4 1～MN 4 Nと、を備え、2N個のNチャネルMOSトランジスタのうちの片側半分の、N個のNチャネルMOSトランジスタMN 1 1～MN 1 Nのゲートには、入力信号IN 1が共通に接続され、2N個のNチャネルMOSトランジスタのうちもう半分の、N個のNチャネルMOSトランジスタMN 2 1～MN 2 Nのゲートには、入力信号IN 2が共通に接続されている。

【0027】

NチャネルMOSトランジスタMN 3 1～MN 3 N、MN 4 1～MN 4 Nのゲートに入力される制御信号（Nビット制御コード）S [0]～S [N-1]、制御信号（Nビット制御コード）SB [0]～SB [N-1]により、NチャネルMOSトランジスタMN 3 1～MN 3 NとNチャネルMOSトランジスタMN 4 1～MN 4 Nのうちの所定個数がオンとされる。Nビットの制御信号S [0:N-1]、SB [0:N-1]は、デコーダ106から入力され、SB [0]～SB [N-1]は、S [0]～S [N-1]をそれぞれインバータ（図3のインターバI

NV) で反転した相補の信号で与えられる。

【0028】

図6を参照して、このインターポレータの動作について説明する。入力IN1、IN2がLowレベルのときOR回路51の出力をゲートに入力とするPチャネルMOSトランジスタMP51はオンし、電源からの電流で容量C（容量値は、容量C1～C8のうち制御信号Cntでオンに設定されているNチャネルMOSトランジスタMN51～MN58に接続する容量の合成容量値）を充電する。

【0029】

そして、入力IN1に印加される信号がLowレベルからHighレベルへの立ち上がり遷移時に、NチャネルMOSトランジスタMN11～MN1Nがオンし、ドレインがNチャネルMOSトランジスタMN11～MN1Nのソースに接続され、ソースがグランドに接続され、ゲートに、制御信号S[0]～S[N-1]がそれぞれ入力されるNチャネルMOSトランジスタMN31～MN3Nのうち、制御信号でオンとされているn個のNチャネルMOSトランジスタのパスを介して、容量Cの蓄積電荷が一部放電される。

【0030】

入力IN1の立ち上がり遷移から遅れて入力IN2がLowレベルからHighレベルへの立ち上がる時に、NチャネルMOSトランジスタMN21～MN2Nがオンし、ドレインがNチャネルMOSトランジスタMN21～MN2Nのソースに接続され、ソースがグランドに接続され、ゲートに制御信号SB[0]～SB[N-1]が入力されるNチャネルMOSトランジスタMN41～MN4Nのうち、制御信号でオンとされている(N-n)個のNチャネルMOSトランジスタのパスを介して、容量Cの蓄積電荷が放電される。

【0031】

容量Cの端子電圧を入力するインバータINV51の出力がHighレベルに反転するまでに放電される電荷をCVとすると、入力IN1がHighレベルへの遷移してから位相差(T)の間、電流nIで放電し、つづいて、入力IN2がHighレベルへの遷移し、n個のNチャネルMOSトランジスタMN11～MN1nと、(N-n)個のNチャネルMOSトランジスタMN21～MN2(N

-n) の計N個のNチャネルMOSトランジスタのドレイン電流NIで放電され、入力IN2のLowからHighレベルへの立ち上がりから出力OUTの立ち上がりまでの遅延時間は、

$$\begin{aligned} & (CV - n \cdot I \cdot T) / NI \\ & = CV / NI - n \cdot T / N \quad \dots(1) \end{aligned}$$

と表され、入力IN1とIN2の位相差TのN分割を単位として遅延時間を可変することができる。

【0032】

本発明において、多相クロックは、PLLの電圧制御発振器(VCO)から生成してもよい。この場合、VCOのリングオシレータの所定の段の反転回路からクロックが取り出される。あるいは、多相クロックは、多相クロック通倍回路で生成してもよい。

【0033】

図7は、位相シフト回路101に供給する多相クロックを、通倍用インターポレータ(多相クロック通倍回路)を用いた多相クロック発生回路200を用いて生成する構成を示したものである。図1の位相シフト回路101は、多相クロック発生回路200と、ロータリスイッチ110から構成されており、インターポレータ111₁~111_nから出力されるクロックCLK1~CLK_n(ただし、nは8)は、図1のD型フリップフロップ102(F/F1~F/F8)のクロック入力端にそれぞれ供給される。図7において、クロック1としては、水晶発振回路等のクロック生成回路から生成された基準クロックが用いられる。

【0034】

図8は、図7の多相クロック発生回路200として構成の一例として、4相クロックを生成する4相クロック通倍回路の構成の具体例を示す図である。図8に示すように、この4相クロック通倍回路は、入力クロック205を4分周し4相クロックQ1~Q4を出力する1/4分周器201と、n段縦続接続された4相クロック通倍回路(MPFD(multiphase frequency doubler; 多相倍周回路)ともいう)202₁~202_nと、周期検知回路204とを備えている。最終段の4相クロック通倍回路202_nからは、2n通倍された4相クロックQ_{n1}~

Q_{n4} が出力される。なお、4 相クロック通倍回路の段数 n は任意である。この 4 相クロック通倍回路の動作の概略を述べれば、4 相のクロックを、各 4 相クロック通倍回路 2 0 2 で、8 相にした後、4 相に戻すことで、連続的に通倍を行う。なお、最終段の 4 相クロック通倍回路 2 0 2_n から生成された 8 相のクロック（図 1 0 の P 2 1 ~ P 2 8）をそのまま出力する構成としてもよい。詳細を以下に説明する。

【 0 0 3 5 】

図 9 は、図 8 に示した、多相クロック通倍回路を 4 相クロック通倍回路とした場合の、4 相クロック通倍回路 2 0 2_n の構成の一例を示す図である。なお、図 8 に示した 4 相クロック通倍回路 2 0 2₁ ~ 2 0 2_n は、いずれも同一構成とされる。

【 0 0 3 6 】

図 9 (a) を参照すると、この 4 相クロック通倍回路 2 0 2_n は、8 組のタイミング差分割回路 2 0 8 ~ 2 1 5 と、8 個のパルス補正回路 2 1 6 ~ 2 2 3 と、4 組の多重化回路 2 2 4 ~ 2 2 7 から構成されている。すなわち、4 相のクロック ($Q(n-1)1 \sim Q(n-1)4$) を入力し、二つの入力のタイミング差を分割した信号を出力する 8 個のタイミング差分割回路 2 0 8 ~ 2 1 5 を備え、奇数番目のタイミング差分割回路 2 0 8、2 1 0、2 1 2、2 1 4 は、二つの入力として n 相のクロックのうち同一クロック ($Q(n-1)1$ と $Q(n-1)1$ 、 $Q(n-1)2$ と $Q(n-1)2$ 、 $Q(n-1)3$ と $Q(n-1)3$ 、 $Q(n-1)4$ と $Q(n-1)4$) をそれぞれ入力とし、偶数番目のタイミング差分割回路 2 0 9、2 1 1、2 1 3、2 1 5 は、 n 相のクロックのうち隣り合うクロック対 ($Q(n-1)1$ と $Q(n-1)2$ 、 $Q(n-1)2$ と $Q(n-1)3$ 、 $Q(n-1)3$ と $Q(n-1)4$ 、 $Q(n-1)4$ と $Q(n-1)1$) を入力としている。

【 0 0 3 7 】

J 番目 (ただし、 $1 \leq J \leq 8$) のパルス幅補正回路は、 J 番目のタイミング差分割回路の出力を第 1 の入力とし、 $((J+2) \bmod n)$ 番目 (ただし、 $((J+2) \bmod n)$ は、 $(J+2)$ を n で割った余り) のタイミング差分割回路の出力を第 2 の入力とし、 K 番目 (ただし、 $1 \leq K \leq 4$) の多重化回路は、 K 番目のパルス幅補正回路の出力と $(K+n)$ 番目のパルス幅補正回路の出力と

を入力とする。図 9 (b) は、パルス幅補正回路の構成を示す図であり、第 2 の入力 T 2 3 をインバータ INV で反転した信号と、第 1 の入力 T 2 1 を入力とする NAND 回路からなる。図 9 (c) は、多重化回路の構成を示す図であり、2 入力 NAND 回路からなる。

【 0 0 3 8 】

図 1 0 は、図 9 に示した 4 相クロック通倍回路 2 0 2 のタイミング動作を示す信号波形図である。クロック T 2 1 の立ち上がりは、クロック Q (n - 1) 1 の立ち上がりからタイミング差分割回路 2 0 8 の内部遅延分の遅れで決定され、クロック T 2 2 の立ち上がりは、クロック Q (n - 1) 1 の立ち上がりとクロック Q (n - 1) 2 の立ち上がりのタイミングのタイミング差分割回路 2 0 9 でのタイミング分割と内部遅延分の遅れで決定され、クロック T 2 3 の立ち上がりは、クロック Q (n - 1) 1 の立ち上がりとクロック Q (n - 1) 2 の立ち上がりのタイミングのタイミング差分割回路 2 1 0 でのタイミング分割と内部遅延分の遅れで決定され、以下同様にして、クロック T 2 6 の立ち上がりはクロック Q (n - 1) 3 の立ち上がりとクロック Q (n - 1) 4 の立ち上がりのタイミングのタイミング差分割回路 2 1 3 でのタイミング分割と内部遅延分の遅れで決定され、クロック T 2 7 の立ち上がりはクロック Q (n - 1) 4 の立ち上がりのタイミングのタイミング差分割回路 2 1 4 での内部遅延分の遅れで決定され、クロック T 2 8 の立ち上がりはクロック Q (n - 1) 4 の立ち上がりとクロック Q (n - 1) 1 の立ち上がりのタイミングのタイミング差分割回路 2 1 5 でのタイミング分割と内部遅延分の遅れで決定される。

【 0 0 3 9 】

タイミング差分割回路 2 0 8 と 2 1 0 から出力されるクロック T 2 1 と T 2 3 はパルス幅補正回路 2 1 6 に入力され、パルス幅補正回路 2 1 6 では、クロック T 2 1 で決定される立ち下がりエッジ、クロック T 2 3 で決定される立ち上がりエッジを有するパルス P 2 1 を出力する。同様の手順で、パルス P 2 2 ~ P 2 8 が生成され、クロック P 2 1 ~ P 2 8 は位相が 4 5 度ずつずれたデューティ 2 5 % の 8 相のパルス群となる。このクロック P 2 1 と位相が 1 8 0 度ずれたクロック P 2 5 は、多重化回路 2 2 4 で多重化反転され、デューティ 2 5 % のクロック

Q_{n1} として出力される。同様に、クロック $Q_{n2} \sim Q_{n4}$ が生成される。クロック $Q_{n1} \sim Q_{n4}$ は、位相が90度ずつずれたデューティ50%の4相のパルス群となり、クロック $Q_{n1} \sim Q_{n4}$ の周期は、クロック $Q_{(n-1)1} \sim Q_{(n-1)4}$ からクロック $Q_{n1} \sim Q_{n4}$ を生成する過程で、周波数が2倍に通倍される。

【0040】

すなわち、4相のクロック $Q_{(n-1)1} \sim Q_{(n-1)4}$ から8相クロック $P_{21} \sim P_{28}$ を生成し、倍周の4相クロック $Q_{n1} \sim Q_{n4}$ を生成している。なお、最終段の4相クロック通倍回路202_nから（図8参照）において、8相クロック $P_{21} \sim P_{28}$ を出力する構成としてもよい。

【0041】

図11は、図9に示したタイミング差分割回路208、209の動作原理を模式的に示す図であり、同一の信号を入力とするタイミング差分割回路208、210、212、214（homo）では、固有の遅延時間で出力信号を出力し、位相差 T のある2入力を入力とするタイミング差分割回路209、211、213、215（hetero）は、タイミング差分割回路の固有の遅延時間に、位相差 T を2等分した時間 $T/2$ （位相差 T を等分した時間）を加算した遅延時間で遷移する信号を出力する。

【0042】

図12は、図9に示したタイミング差分割回路208、209の構成の一例を図である。タイミング差分割回路208では、二つの入力 $IN1$ 、 $IN2$ に、同一信号が入力され、タイミング差分割回路209では、隣り合う二つの信号が入力されている。すなわち、タイミング差分割回路208では、同一入力 $Q_{(n-1)1}$ が入力端 $IN1$ 、 $IN2$ に入力され、タイミング差分割回路209では、 $Q_{(n-1)1}$ と $Q_{(n-1)2}$ が入力端 $IN1$ 、 $IN2$ に入力されている。電源 VDD にソースが接続されドレインが内部ノード $N1$ に接続されたPチャネルMOSトランジスタ $MP01$ と、入力信号 $IN1$ 、 $IN2$ を入力し、出力がPチャネルMOSトランジスタ $MP01$ のゲートに接続されたOR回路 $OR1$ と、内部ノード $N1$ にドレインが接続され、ソースが定電流源 I_0 を介してグランドに

接続され、ゲートに入力信号 $IN1$ 、 $IN2$ が接続された N チャネル MOS トランジスタ $MN01$ 、 $MN02$ を備え、内部ノード $N1$ は、インバータ $INV01$ の入力端に接続され、内部ノード $N1$ とグランド間には、 N チャネル MOS トランジスタ $MN11$ と容量 $CAP11$ を直列接続した回路、 N チャネル MOS トランジスタ $MN12$ と容量 $CAP12$ を直列接続した回路、…、 N チャネル MOS トランジスタ $MN15$ と容量 $CAP15$ を直列接続した回路が、並列に接続され、各 N チャネル MOS トランジスタ $MN11$ 、 $MN12$ 、…、 $MN15$ のゲートには、入力クロックの周期を検知する周期検知回路 204 からの、5 ビット幅の制御信号 206 がそれぞれ接続されてオン・オフ制御される。 N チャネル MOS トランジスタ $MN11$ 、 $MN12$ 、 $MN13$ 、 $MN14$ 、 $MN15$ のゲート幅と容量 $CAP11$ 、 $CAP12$ 、 $CAP13$ 、 $CAP14$ 、 $CAP15$ は、そのサイズ比が、例えば $16:8:4:2:1$ とされており、周期検知回路 204 (図 8 参照) から出力される制御信号 206 に基づき、共通ノードに接続される負荷を 32 段階に調整することで、クロック周期が設定される。

【0043】

タイミング差分割回路 208 については、二つの入力 $IN1$ 、 $IN2$ に共通入力されるクロック $Q(n-1)$ の立ち上がりエッジにより、ノード $N1$ の電荷が二つの N チャネル MOS トランジスタ $MN01$ 、 $MN02$ を介して引き抜かれ、ノード $N1$ の電位がインバータ $INV01$ のしきい値に達したところで、インバータ $INV01$ の出力であるクロック $T21$ が立ち上がる。インバータ $INV01$ のしきい値に達したところまで引き抜く必要のあるノード $N1$ の電荷を CV (ただし、 C は容量値、 V は電圧) とし、 N チャネル MOS トランジスタによる放電電流を I とすると、クロック $Q(n-1)$ の立ち上がりから、 CV の電荷量を、電流値 $2I$ の定電流で放電することになり、その結果、時間 $CV/2I$ が、クロック $Q(n-1)$ の立ち上がりエッジから、クロック $T21$ の立ち上がりまでのタイミング差 (伝搬遅延時間) を表している。

【0044】

クロック $Q(n-1)$ が Low レベルのとき、 P チャネル MOS トランジスタ $MP01$ がオンとされ、ノード $N1$ が $High$ に充電され、インバータ INV

01の出力クロックT21はLowレベルとなる。

【0045】

タイミング差分割回路209については、クロックQ(n-1)1の立ち上がりエッジから時間tCKn(=多相クロック周期)後の期間、ノードN1の電荷が引き抜かれ、時間tCKn後、クロックQ(n-1)2の立ち上がりエッジから、ノードN1の電位がインバータINV01のしきい値に達したところで、クロックT22のエッジが立ち上がる。ノードN1の電荷をCVとし、NMOSTランジスタの放電電流をIとすると、クロックQ(n-1)1の立ち上がりから、CVの電荷量をtCKnの期間、定電流Iで放電し、残りの期間を、定電流2Iで引き抜く結果、時間、

$$\begin{aligned} & tCKn + (CV - tCKn \cdot I) / 2I \\ & = CV / 2I + tCKn / 2 \quad \dots (2) \end{aligned}$$

が、クロックQ(n-1)1の立ち上がりエッジから、クロックT22の立ち上がりエッジのタイミング差を表している。

【0046】

すなわち、クロックT22とクロックT21の立ち上がりのタイミング差は、tCKn/2となる。

【0047】

クロックQ(n-1)1とQ(n-1)2がともにLowレベルとなり、ノードN1が、PチャネルMOSTランジスタMP01を介して電源からHighレベルに充電された場合、クロックT22が立ち下がる。クロックT22~T28についても同様とされ、クロックT21~T28の立ち上がりのタイミング差はそれぞれtCKn/2となる。

【0048】

パルス幅補正回路216~223は、位相が45度ずつずれたデューティ25%の8相のパルス群P21~P28を生成する(図9、図10参照)。

【0049】

多重化回路224~227は、位相が90度ずつずれたデューティ50%の4相のパルス群Qn1~Qn4を生成する(図9、図10参照)。

【0050】

図12に示したタイミング差分割回路は、使用されるアプリケーションに応じて、適宜、変形される。例えば、PチャネルMOSトランジスタMP01のゲートに、第1、第2の入力信号IN1、IN2を入力とする否定論理積回路（NAND）の出力信号を入力し、第1の入力信号IN1、第2の入力信号IN2をインバータでそれぞれ反転した信号をNチャネルMOSトランジスタMN01、MN02のゲートに入力する構成としてもよい。この場合、第1、第2の入力信号IN1、IN2がHighレベルのとき、PチャネルMOSトランジスタMP01がオン（導通）して内部ノードN1が充電され、インバータINV01の出力はLowレベルとされ、第1、第2の入力信号IN1、IN2の一方又は両方がLowレベルのとき、PチャネルMOSトランジスタMP01がオフしPチャネルMOSトランジスタMN01とMN02の一方又は両方がオンし、内部ノードN1が放電され、内部ノードN1の電圧がインバータINV01のしきい値以下に下がった場合、インバータINV01の出力は立ち上がりHighレベルとなる。

【0051】

【発明の効果】

以上説明したように、本発明によれば、従来の回路に較べて、周波数範囲の変更を容易化し、特性の調整を容易化する、という効果を奏する。その理由は、本発明においては、多相クロックの位相をシフトさせて出力する位相シフト回路を構成するインターポレータの内部ノードに付加される容量値を可変させることで周波数の変更に対応可能としているためである。

【0052】

また、本発明によれば、選択回路を設け、クロックアンドデータリカバリ回路の並列数を可変に切替えることができるという利点も有する。

【図面の簡単な説明】

【図1】

本発明の一実施例の構成を示す図である。

【図2】

本発明の一実施例の位相シフト回路の構成を示す図である。

【図 3】

本発明の一実施例の位相シフト回路におけるスイッチの構成を示す図である。

【図 4】

本発明の一実施例の位相シフト回路におけるインターポレータの構成を示す図である。

【図 5】

本発明の一実施例の位相シフト回路におけるインターポレータの動作原理を説明するタイミング波形図である。

【図 6】

本発明の一実施例の位相シフト回路におけるインターポレータの構成の一例を示す図である。

【図 7】

本発明の一実施例において位相シフト回路の入力に多相クロック発生回路の出力を用いた場合の構成の一例を示す図である。

【図 8】

本発明の一実施例の多相クロック発生回路の構成を示す図である。

【図 9】

本発明の一実施例における多相クロック発生回路を構成する 4 相クロック通倍回路の構成を示す図である。

【図 1 0】

本発明の一実施例における 4 相クロック通倍回路のタイミング動作を示す図である。

【図 1 1】

本発明の一実施例における 4 相クロック通倍回路のインターポレータの動作を説明する図である。

【図 1 2】

本発明の一実施例における 4 相クロック通倍回路のインターポレータの構成の一例を示す図である。

【図 1 3】

従来のクロックアンドリカバリ回路の構成の一例を示す図である。

【図 1 4】

従来のクロック制御回路の構成を示す図である。

【図 1 5】

従来の位相インターポレータの構成を示す図である。

【図 1 6】

従来の位相インターポレータの構成を示す図である。

【符号の説明】

- 1 クロック
- 2 0 スイッチ
- 3 0 インターポレータ
- 4 0 制御回路
- 5 1 VCO
- 5 2 フリップフロップ
- 5 3 アップダウンカウンタ
- 5 5 フィルタ
- 6 0 DLL
- 1 0 1 位相シフト回路
- 1 0 2 フリップフロップ
- 1 0 3 アップダウンカウンタ
- 1 0 4 セレクタ
- 1 0 5 フィルタ
- 1 0 6 デコーダ
- 1 1 0 スイッチ
- 1 1 1 インターポレータ
- 2 0 0 多相クロック発生回路
- 2 0 1 1/4 分周回路
- 2 0 2 4 相クロック通倍回路

2 0 4 周期検知回路

2 0 5 クロック

2 0 6 制御信号

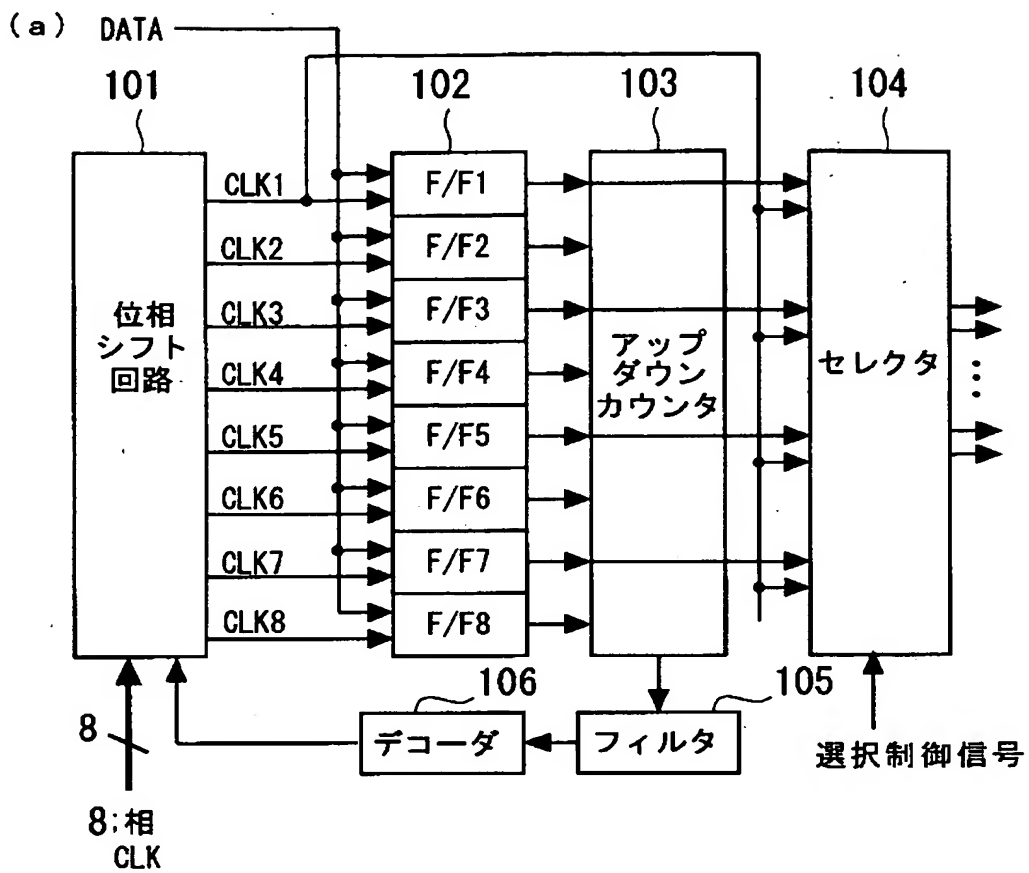
2 0 8 ~ 2 1 5 タイミング差分割回路

2 1 6 ~ 2 2 3 パルス幅補正回路

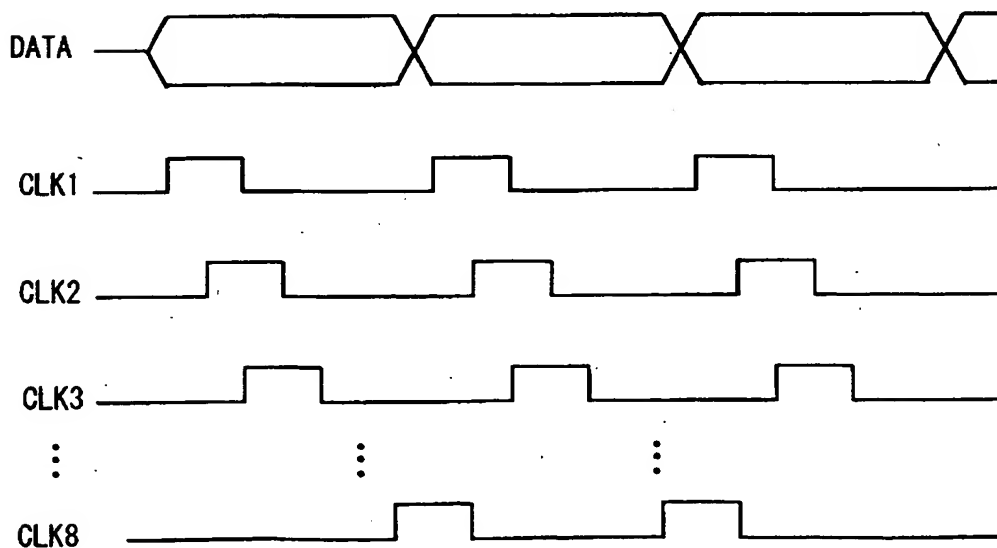
2 2 4 ~ 2 2 7 多重化回路

【書類名】 図面

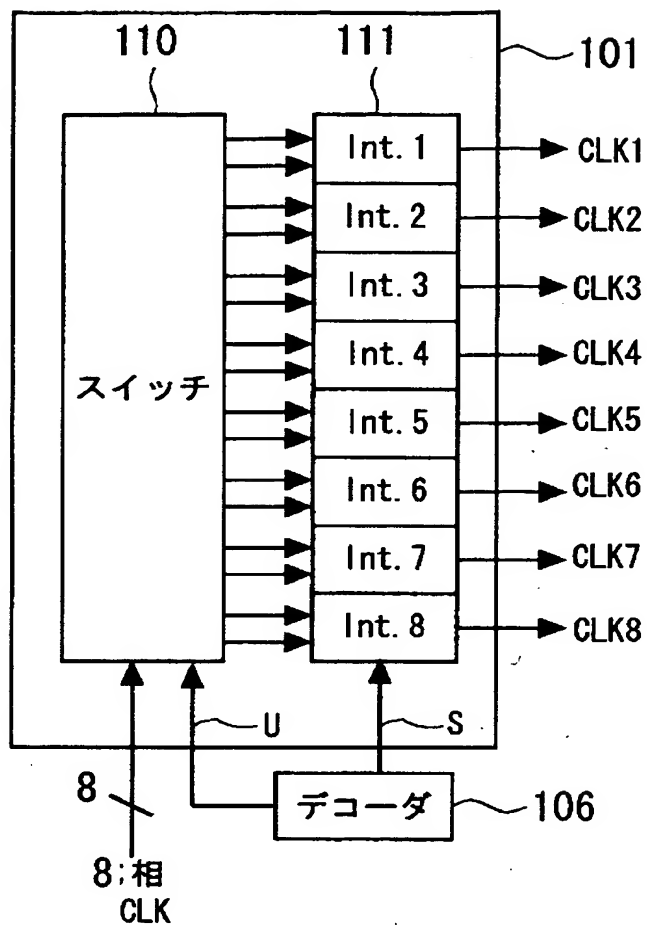
【図 1】



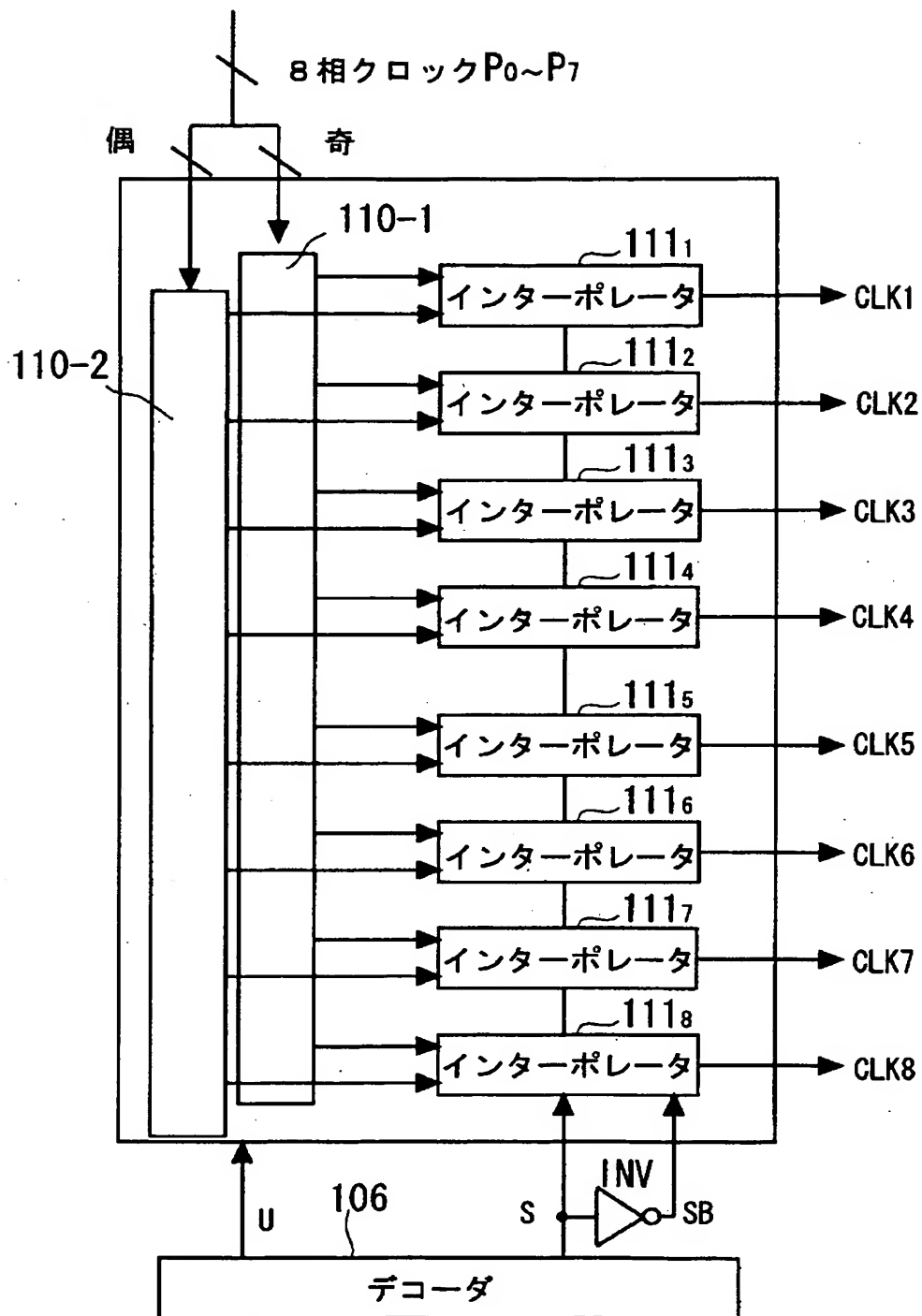
(b)



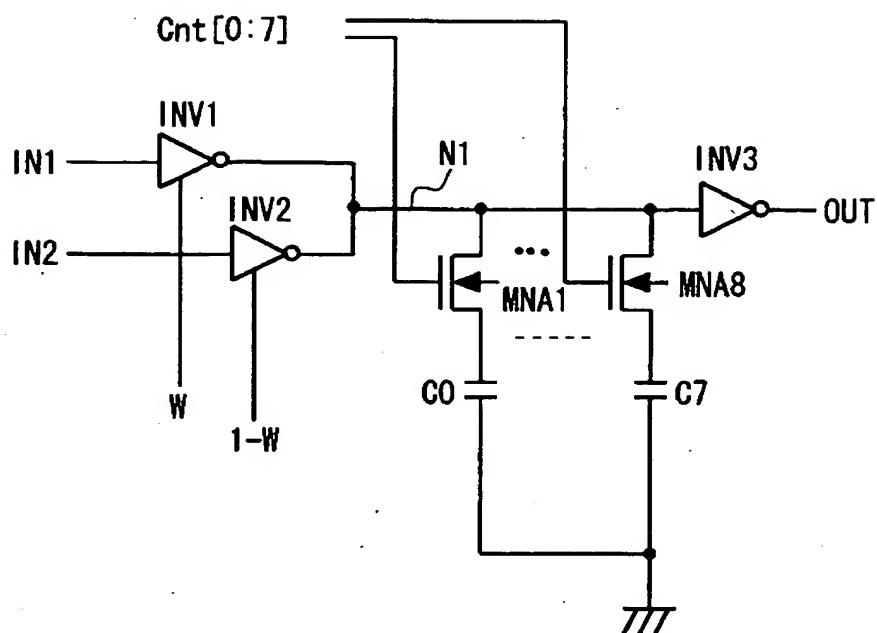
【図 2】



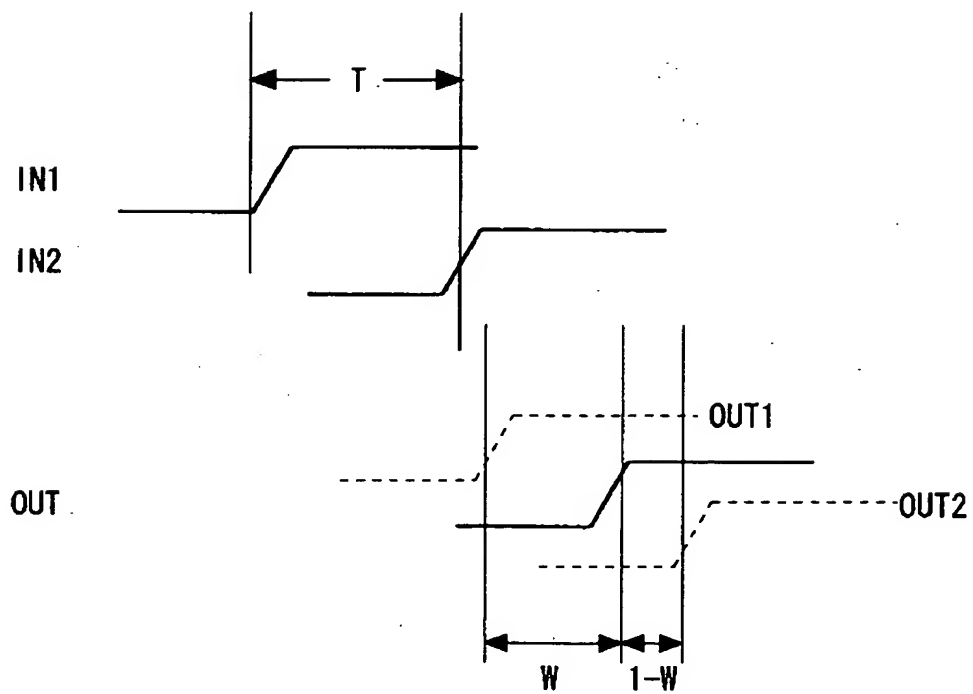
【図 3】



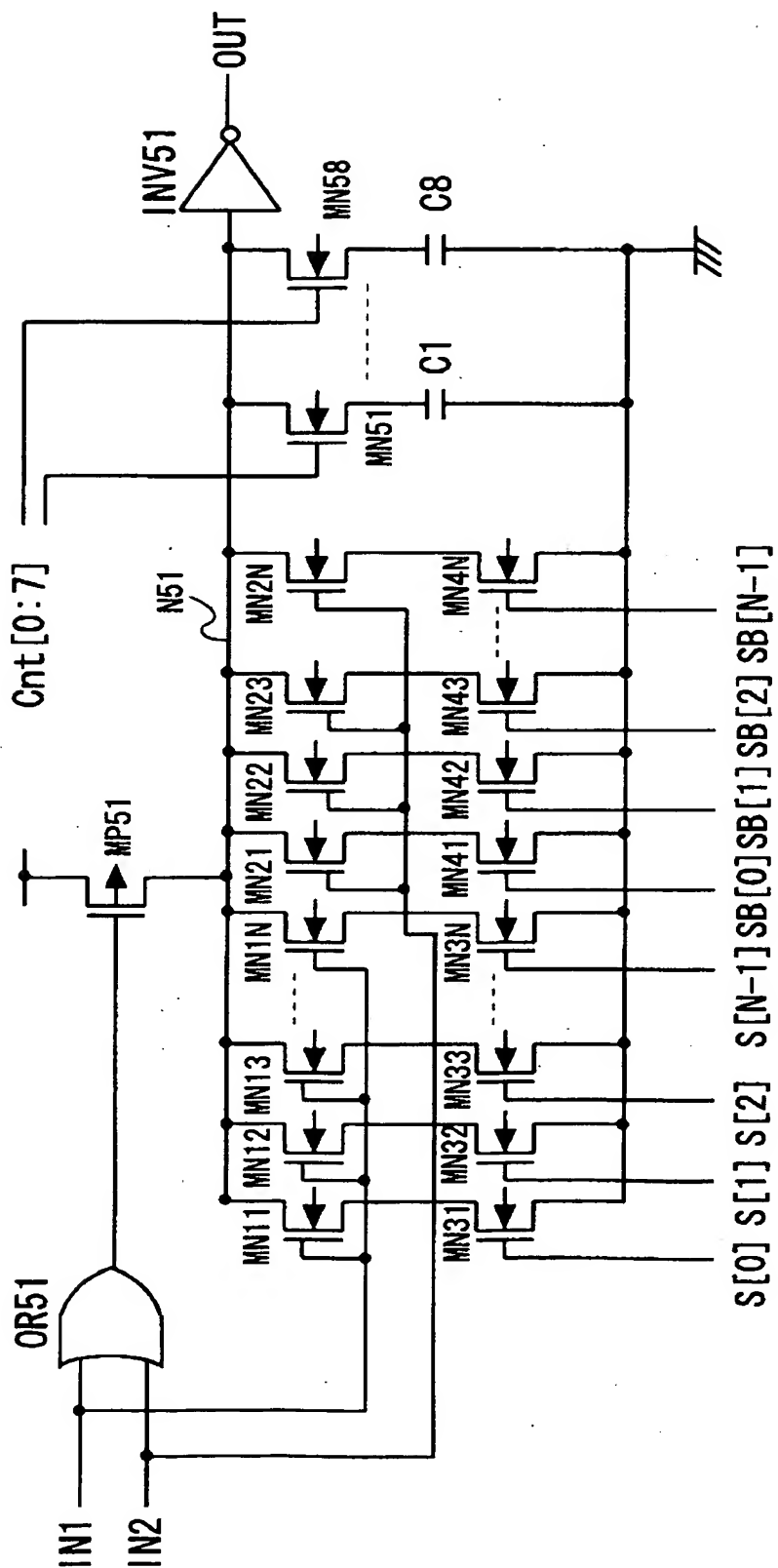
【図 4】



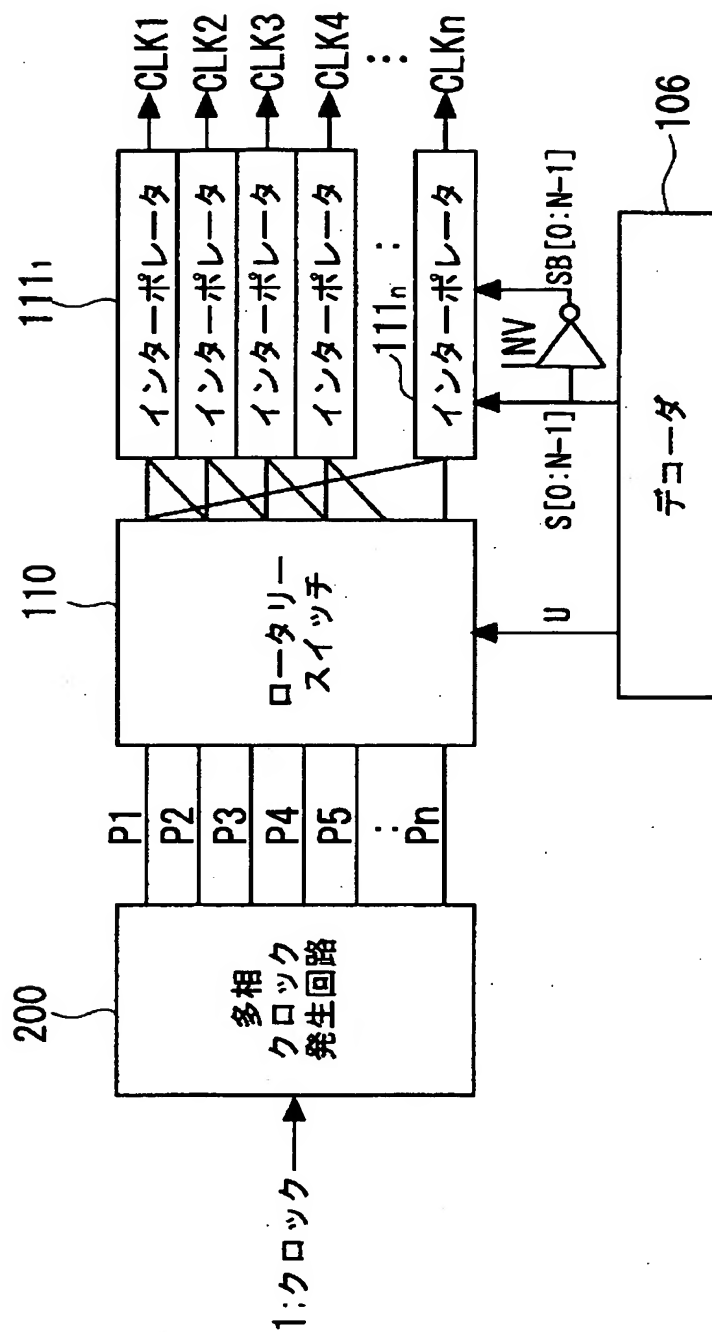
【図 5】



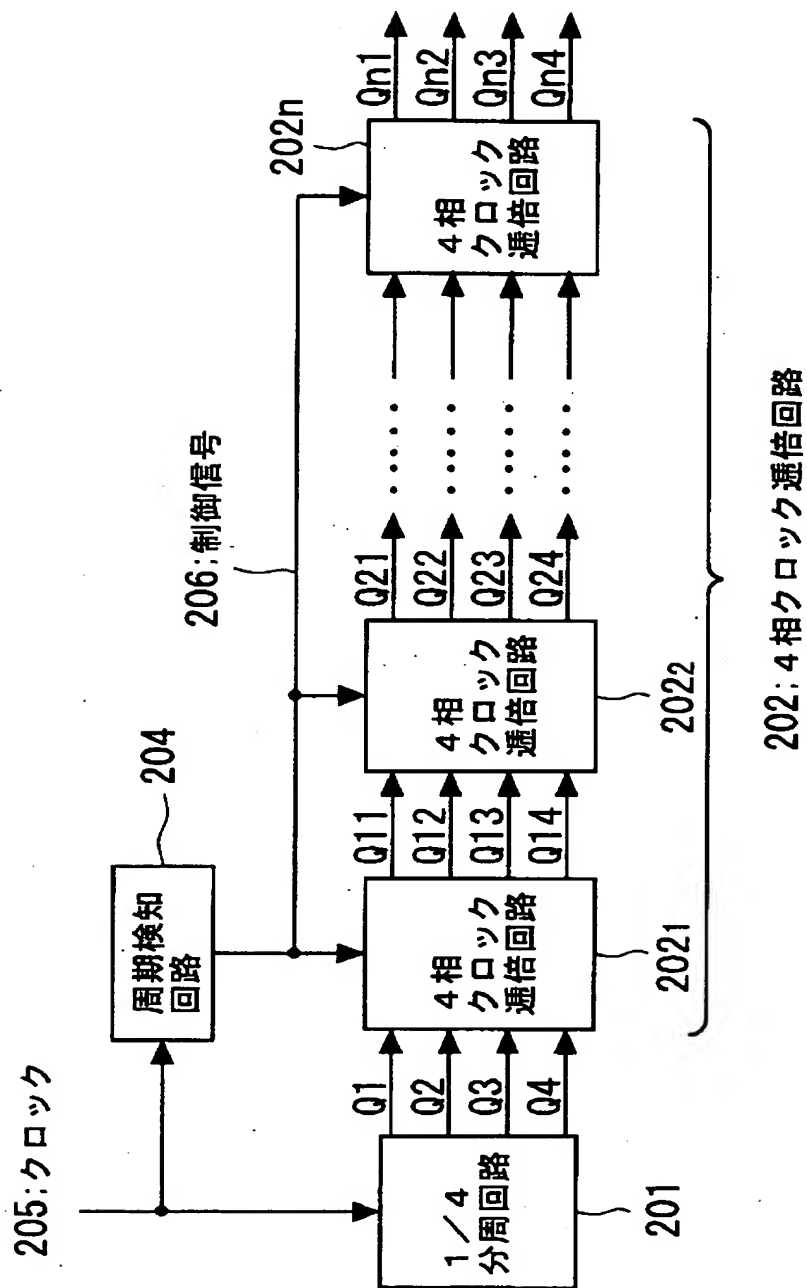
【図 6】



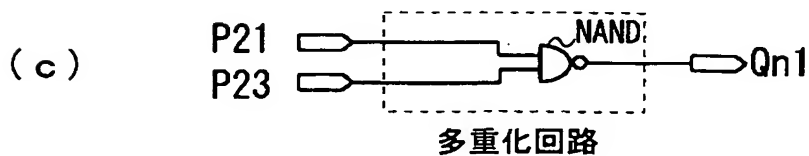
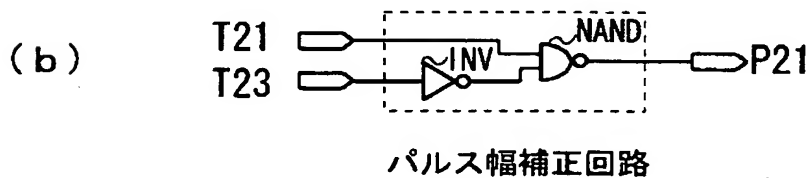
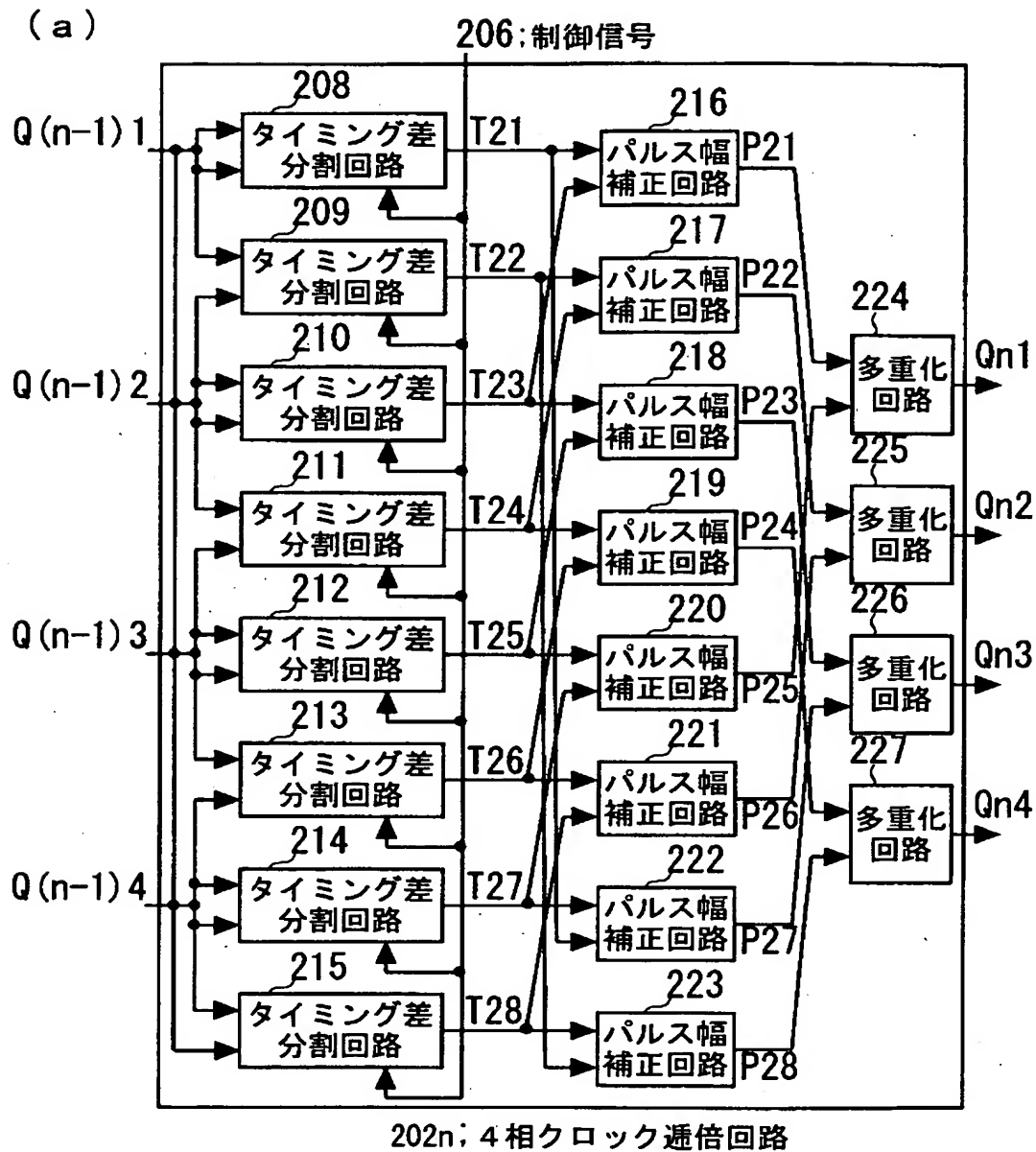
【図 7】



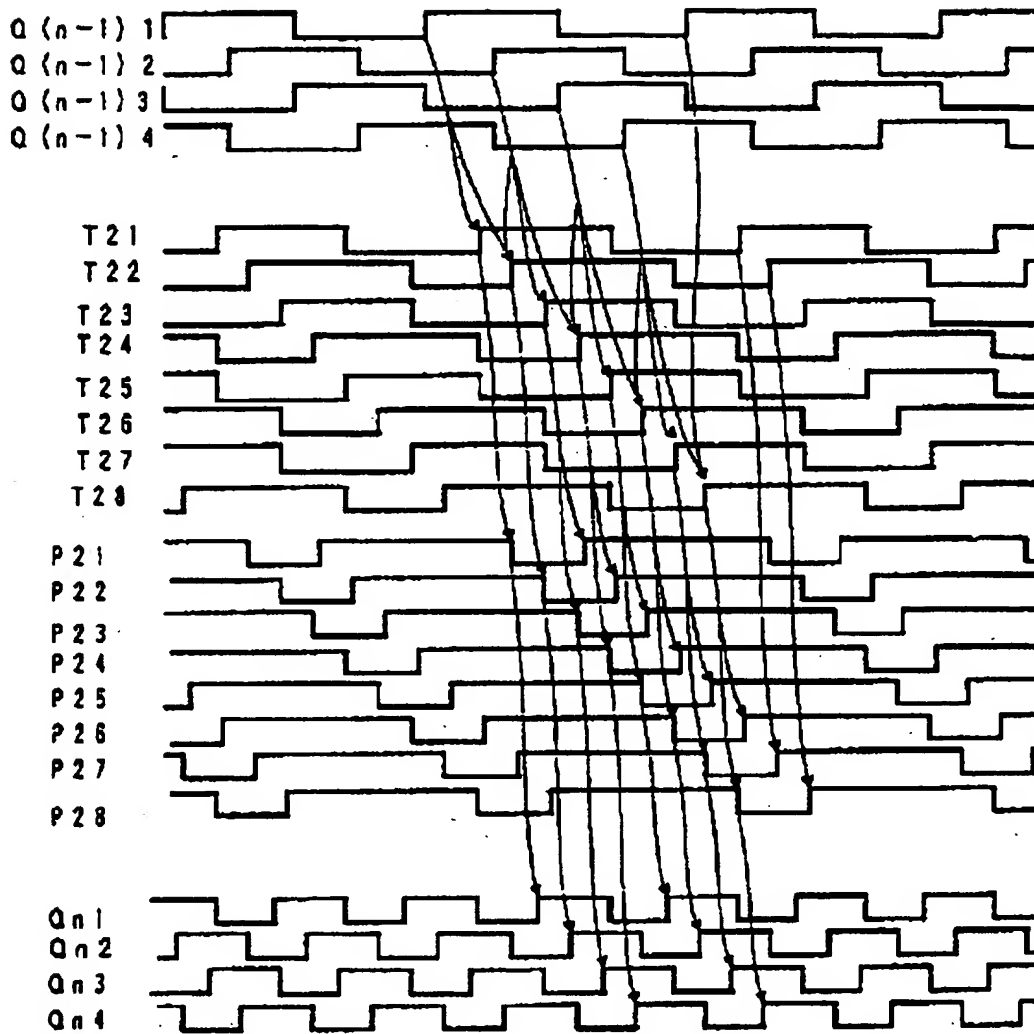
【図 8】



【図 9】

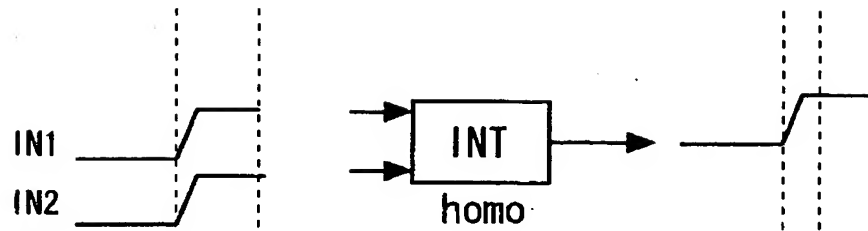


【図 1 0】

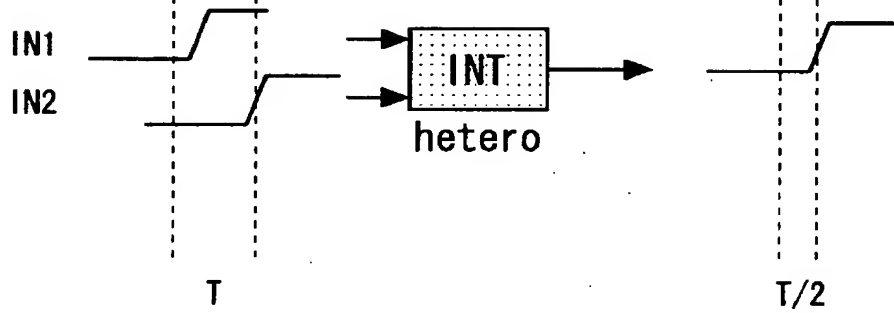


【図 1 1】

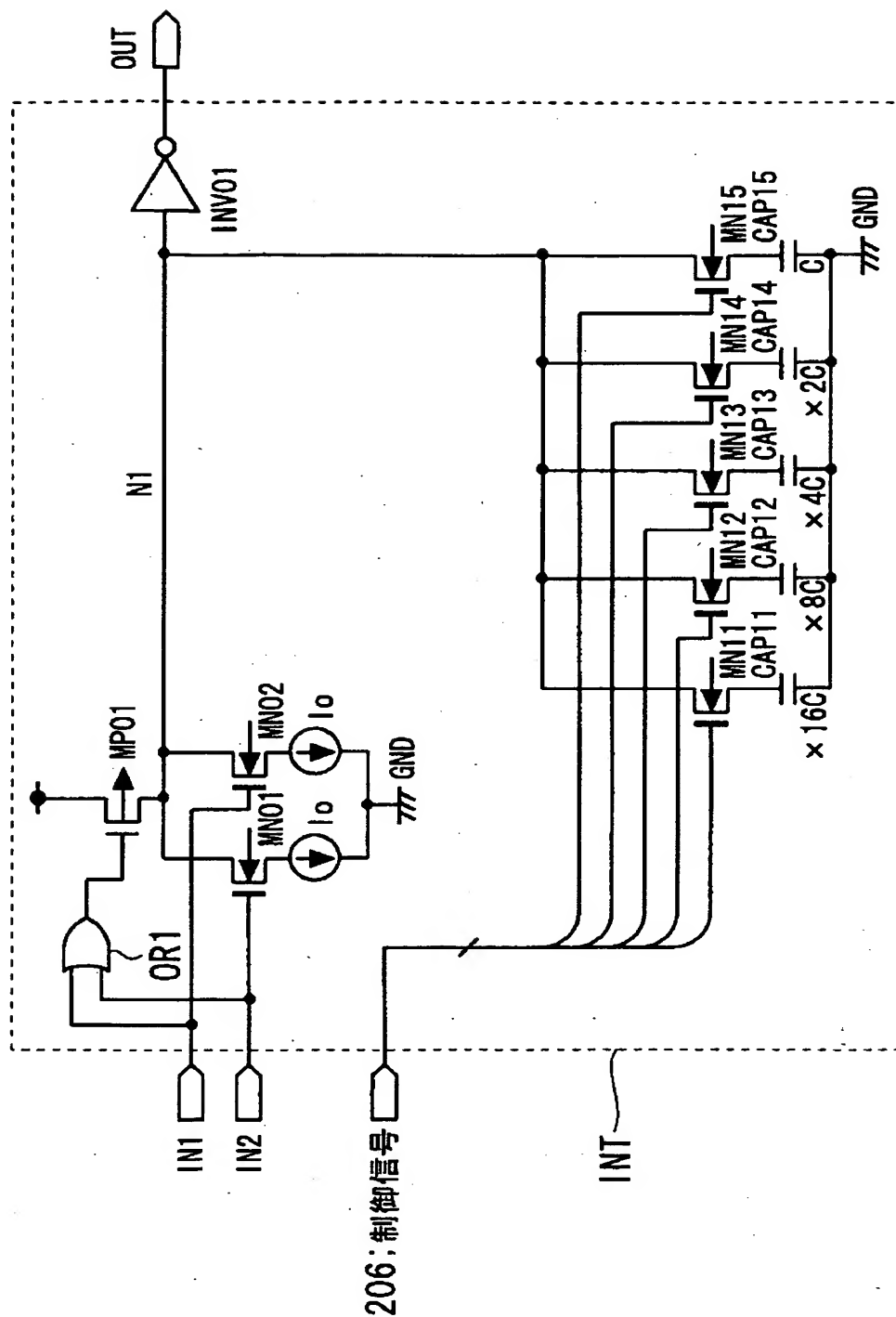
(a)



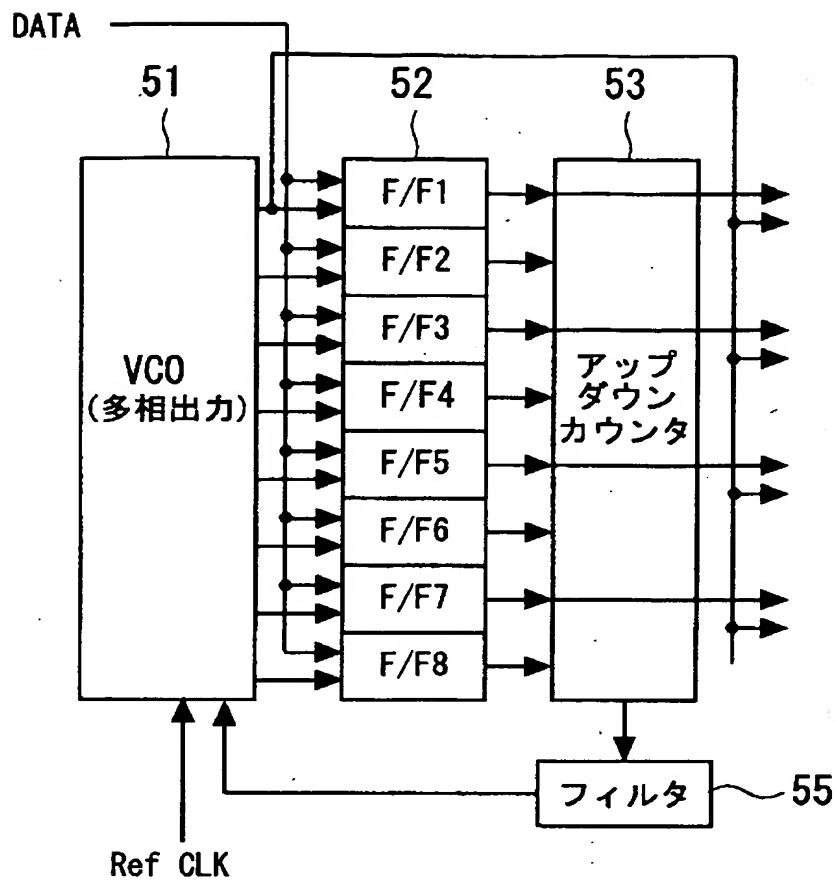
(b)



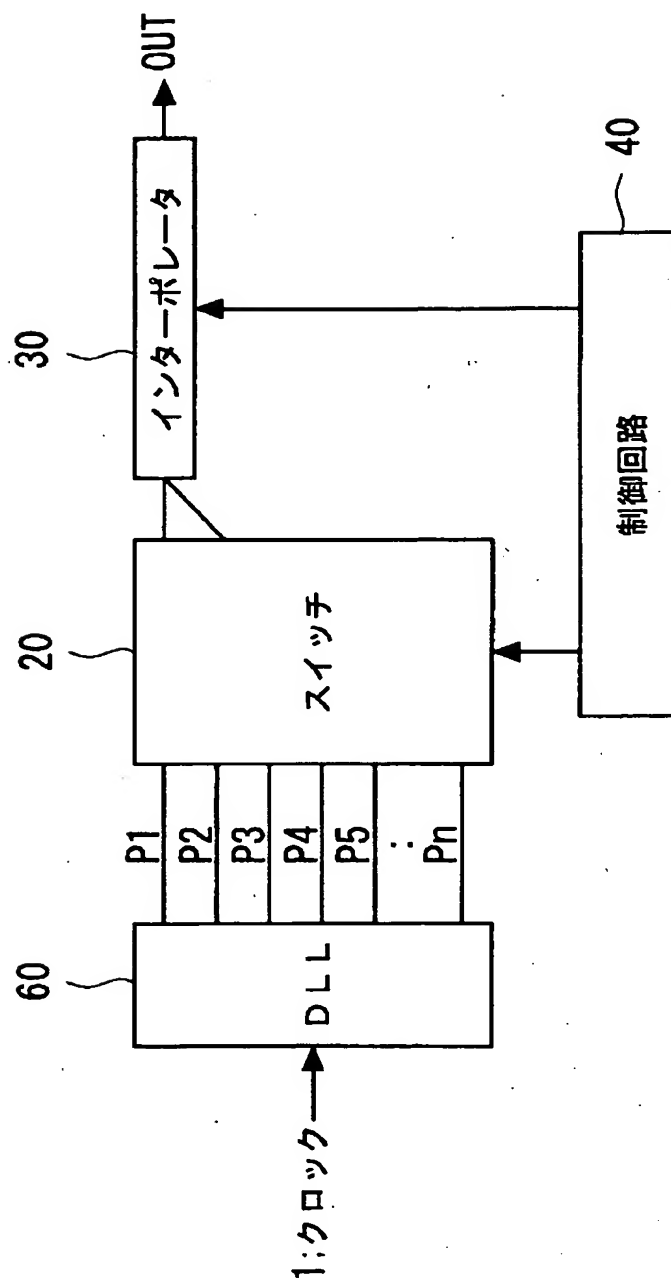
【図 12】



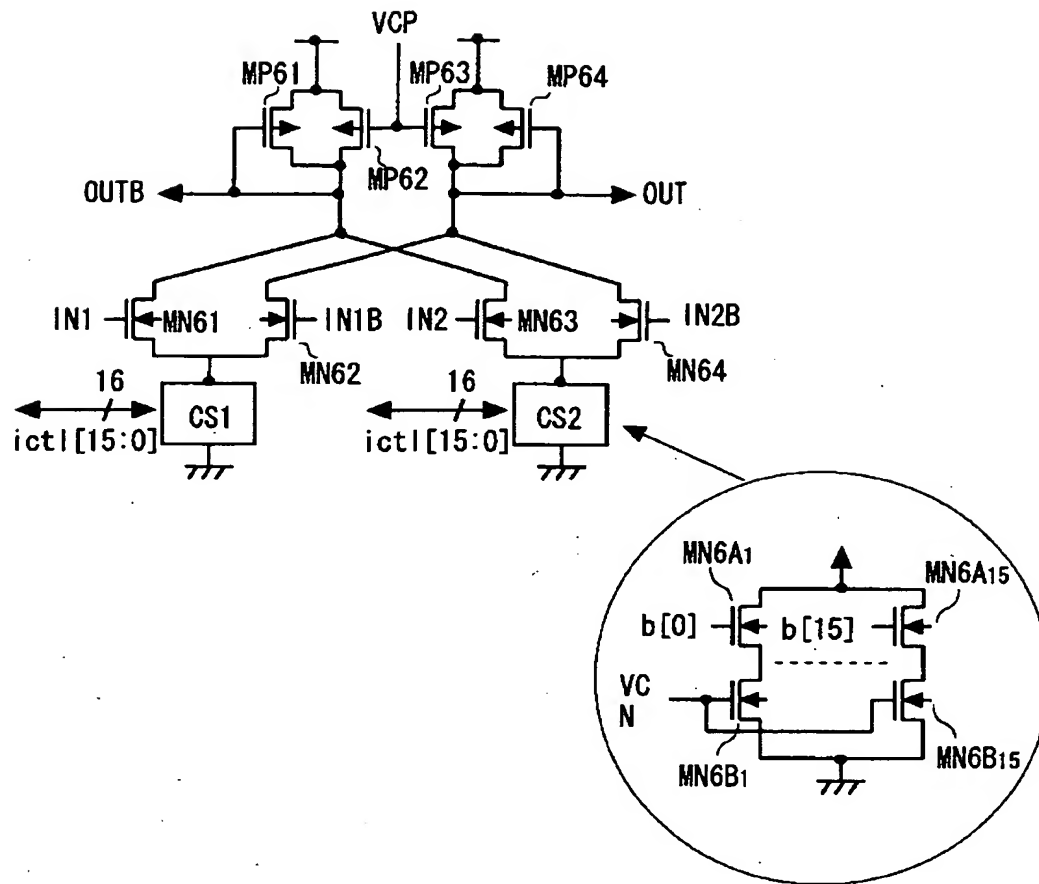
【図 1 3】



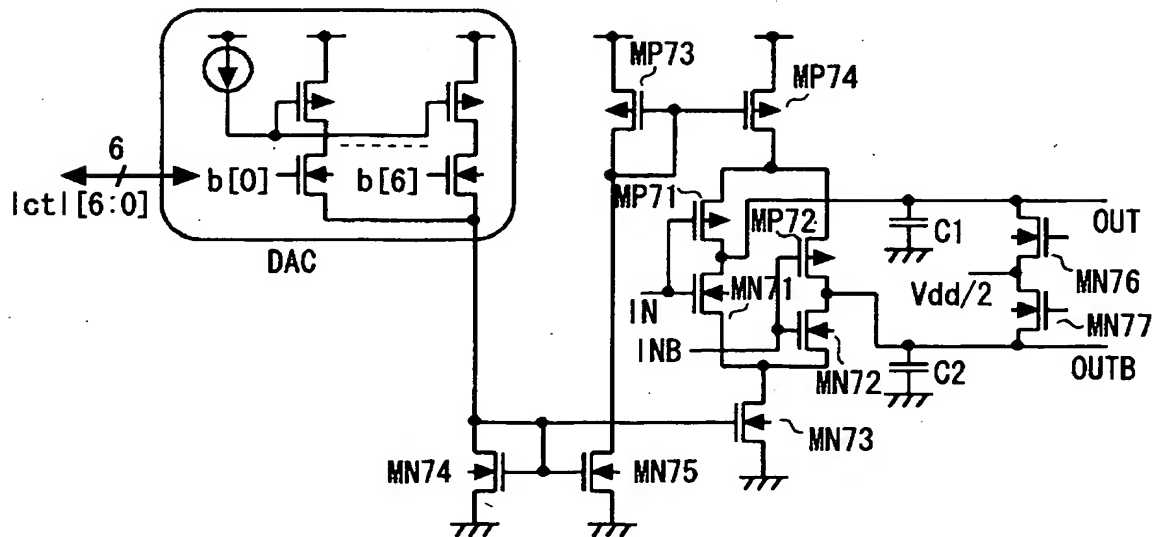
【図 1 4】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】

周波数範囲の変更を容易化し、特性の調整を容易化するクロックアンドデータリカバリ回路及び方法を提供。

【解決手段】

多相クロックを入力としそのうちから複数組のクロック対を選択して出力するスイッチと、スイッチから出力される複数組のクロック対を入力とし該クロック対の位相差を内分した時間で遅延時間が規定される信号を出力する複数のインターポレータとを備えた位相シフト回路 1 0 1 と、位相シフト回路 1 0 1 からそれぞれ出力される信号に基づき入力データをラッチする出力データを出力する複数のラッチ回路 1 0 2 と、複数のラッチ回路の出力をカウントするカウンタ 1 0 3 と、カウンタの出力を所定の時間にわたって平均化するフィルタ 1 0 5 と、フィルタの出力をデコードするデコーダ 1 0 6 と、複数の前記ラッチ回路から出力されたデータと、複数の前記インターポレータのうち所定のインターポレータから出力されるクロックとの組を入力とし、出力するデータとクロックの対を選択する選択回路 1 0 4 と、を備える。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社